

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hideaki SUZUKI

Group Art Unit: TBD

Application No.: TBD

Examiner: TBD

Filed: Herewith

Attorney Dkt. No.: 108391-00035

For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 20, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

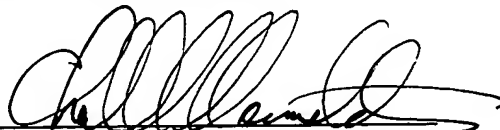
Japanese Patent Application No. 2002-241109 filed August 21, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300, making reference to Attorney Docket No. 108391-00035.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/mzk

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月21日

出願番号

Application Number:

特願2002-241109

[ST.10/C]:

[JP2002-241109]

出願人

Applicant(s):

富士通株式会社

2003年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3103566

【書類名】 特許願

【整理番号】 0240380

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/401

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鈴木 英明

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】

 【予納台帳番号】 041759

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 強誘電体メモリよりなるメモリブロック、および前記メモリブロックに対するアクセスの制御をおこなう周辺回路を有する半導体記憶装置において、

前記メモリブロックに対するデータ読み出し動作によって前記メモリブロックのデータが破壊された領域に、当該破壊されたデータを書き戻す動作を停止するデータ破壊手段を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記データ破壊手段は、ビット線が接地電位にプリチャージされた後にプレート線の電位を下げるプレート線制御回路を有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記プレート線制御回路がプレート線の電位を下げるタイミングを、ビット線が接地電位にプリチャージされる前にするか、ビット線が接地電位にプリチャージされた後にするかを、外部から切り替える切り替え手段を備えていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記切り替え手段は、外部から入力される制御信号であることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 ビット線が接地電位にプリチャージされた後に、前記プレート線制御回路がプレート線の電位を下げるまでの間、ワード線を書き込み電圧まで昇圧する動作を停止する昇圧停止手段を備えていることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体記憶装置。

【請求項 6】 前記昇圧停止手段は、ワード線に接続されたカップリング容量の電位を制御するブースト制御回路であることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記メモリブロックから読み出されたデータを外部へ出力するのを停止するデータ出力停止手段を備えていることを特徴とする請求項 1 ～ 6 のいずれか一つに記載の半導体記憶装置。

【請求項 8】 前記データ出力停止手段は、ビット線を所定電位にクランプ

するクランプ回路であることを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】 センスアンプがビット線の電位を増幅するのを停止するセンシング停止手段を備えていることを特徴とする請求項 7 または 8 に記載の半導体記憶装置。

【請求項 1 0】 同一のプレート線と組み合わされている 2 本のワード線の電位を同時に上昇させる多重選択手段を備えていることを特徴とする請求項 1 ～ 9 のいずれか一つに記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、強誘電体メモリで構成された半導体記憶装置に関する。

【 0 0 0 2 】

強誘電体メモリは、キャパシタ膜に強誘電体を用い、その残留分極によってデータを記憶する不揮発性メモリである。データを保持するのに電源が不要であるため、I C カードにデータを記憶保持させるための記憶装置としての適用が考えられる。将来的には、各種アプリケーションを一枚の I C カードに組み込んだ多目的 I C カードなども考えられる。このような多目的 I C カードでは、強誘電体メモリよりなる記憶装置（以下、単に F e R A M とする）は、データの保存のためだけでなく、アプリケーションの作業領域としても使用されると考えられる。

【 0 0 0 3 】

【従来の技術】

従来の F e R A M におけるデータ読み出し処理は、図 2 4 に示すように、メモリセルからビット線にデータを読み出し（ステップ S 2 4 1）、それをセンスアンプで増幅して（ステップ S 2 4 2）、外部へ出力した後（ステップ S 2 4 3）、データの読み出しにより破壊されたデータをメモリセルに書き戻し（ステップ S 2 4 4）、ビット線を接地電位にプリチャージして初期化する（ステップ S 2 4 5）という流れとなっている。ステップ S 2 4 4 のデータの書き戻し作業は、リストアと呼ばれている。

【 0 0 0 4 】

図 2 5 は、従来の F e R A M におけるデータ読み出し処理のタイミング・ダイヤグラムである。図 2 5 に示すように、データ読み出し時には、プリチャージ信号（／P R C）の電位が相対的に低い電位レベル（以下、L レベルとする）となり、ワード線（W L）の電位、およびプレート線を駆動する信号（P L C L K）がともに相対的に高い電位レベル（以下、H レベルとする）となる。

【 0 0 0 5 】

その状態で、センスアンプを駆動する信号（S A C L K）が H レベルとなると、一対のビット線 B L，／B L の電位のセンシングがおこなわれ、ビット線 B L，／B L の電位が確定する。その後、ワード線（W L）がさらに高い電圧まで昇圧され、リストアがおこなわれる。その後、プリチャージ信号（／P R C）の電位が H レベルに復帰し、ビット線 B L，／B L がプリチャージされて初期化される。

【 0 0 0 6 】

図 2 6 は、従来の F e R A M におけるワード線（W L）を昇圧させるための回路の構成を示す図であり、図 2 7 はその動作のタイミング・ダイヤグラムである。図 2 6 および図 2 7 に示すように、ワード線（W L）を起動するための信号（W L B O O T）により第 1 の M O S トランジスタ 1 がアクティブとなり、図示しないワード線駆動回路から H レベルのワード線イネーブル信号（W L E）が供給される。そして、第 2 の M O S トランジスタ 2 がアクティブとなる。

【 0 0 0 7 】

それによって、ワード線（W L）に、図示しないワード線駆動回路から供給された信号（W L C L O C K）がバッファ 3 を介して正の電源電位（以下、V D D とする）レベルのワード線駆動クロック信号（W L C L K）として供給され、ワード線（W L）がほぼ V D D レベルまで充電される。ワード線（W L）には、カップリング容量となるコンデンサ 4 が接続されている。リストアの動作時には、このコンデンサ 4 の駆動信号（B O O S T C L K）が H レベルとなり、カップリングによりワード線（W L）のレベルが昇圧される。

【 0 0 0 8 】

ところで、F e R A M の構成において、ワード線（W L）とプレート線との組

み合わせに関し、つぎの二つのタイプがある。第1は、図28に示すように、WL1のワード線にPL1のプレート線が対応し、WL2のワード線にPL2のプレート線が対応するという1対1対応のタイプである。第2は、図29に示すように、WL1とWL2のワード線がPL1のプレート線を共有するというタイプである。図30は、従来のプレート線共有タイプのFeRAMにおけるワード線選択を制御する回路の構成を示す図であり、図31はその動作のタイミング・ダイヤグラムである。

【0009】

図30および図31に示すように、ブロック選択信号(BLOCKSEL)がHレベルとなり、アドレス選択信号(ADDR_SEL)がHレベルとなると、それらを入力とする第1のナンド・ゲート10の出力信号はLレベルとなり、第1のNMOSトランジスタ11にLレベルのゲート信号(WLPC1)として供給される。したがって、第1のNMOSトランジスタ11はオフ状態となる。

【0010】

また、第1のナンド・ゲート10の出力信号は、第1のインバータ12により反転され、HレベルのWLBOOT信号の入力によって第2のNMOSトランジスタ13がオンしたときに、第3のNMOSトランジスタ14にHレベルのゲート信号(WLSEL1GT)として供給される。したがって、第3のNMOSトランジスタ14はオン状態となる。このとき、第3のNMOSトランジスタ14のドレインに、図示しないワード線駆動回路からHレベルのWLCLOCK信号が供給されると、第3のNMOSトランジスタ14のソースから、1本のプレート線を共有する一对のワード線のうちの第1のワード線に対して、VDDレベルのワード線駆動クロック信号(WLCLK1L)が出力される。つまり、第1のワード線が選択される。

【0011】

一方、アドレス選択信号(ADDR_SEL)がHレベルであるため、それを反転したアドレス選択信号(/ADDR_SEL)はLレベルとなる。このLレベルのアドレス選択信号(/ADDR_SEL)とHレベルのブロック選択信号(BLOCKSEL)を入力とする第2のナンド・ゲート15の出力信号はHレ

ベルとなる。したがって、第4のNMOSトランジスタ16のゲートには、第2のナンド・ゲート15からHレベルのゲート信号(WLPC2)が供給されることになり、第4のNMOSトランジスタ16はオン状態となる。この第4のNMOSトランジスタ16のオンにより、1本のプレート線を共有する一对のワード線のうちの第2のワード線に対するワード線駆動クロック信号(WLCLK2L)が接地電位となるので、第2のワード線は非選択状態となる。

【0012】

このとき、第2のナンド・ゲート15の出力信号は、第2のインバータ17により反転されてLレベルとなる。このLレベルの信号は、HレベルのWLBOOT信号の入力によって第5のNMOSトランジスタ18がオンしたときに、第6のNMOSトランジスタ19にゲート信号(WLSEL2GT)として供給される。したがって、第6のNMOSトランジスタ19はオフ状態となり、図示しないワード線駆動回路から供給されたHレベルのWLCLK信号が、第2のワード線に対するワード線駆動クロック信号(WLCLK2L)として出力されるのを防いでいる。

【0013】

【発明が解決しようとする課題】

しかしながら、上述したように、将来、多目的ICカード等において、FeRAMをアプリケーションの作業領域として使用した場合、アプリケーションの作業が終了し、作業中にFeRAMに供給されていた電源が遮断されても、FeRAMには作業中のデータが残ってしまう。この作業領域からの意図しないデータの漏洩を防ぐには、アプリケーションの作業終了時に、不要なデータを消去したり、無意味なデータを上書きして、不要データの破壊をおこなう必要がある。そのため、煩雑な手続きが必要であったり、任意のビットのデータを反転させてリストアする際に、センスアンプのラッチを反転させるため、無駄な電力が消費されるなどの問題点がある。

【0014】

また、従来、不当な手段によりデータにアクセスされるのを防ぐため、アクセス認証の失敗回数の上限值をあらかじめ決めておき、アクセス認証が失敗した回

数を記録することにより、安全性を確保するシステムがあるが、この上限値を改鑄される危険性があり、必ずしも万能ではないという問題点がある。

【 0 0 1 5 】

本発明は、上記問題点に鑑みてなされたものであって、F e R A M に保存されている不要なデータを効率よく、かつ少ない消費電力で破壊することが可能な半導体記憶装置を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するため、本発明は、F e R A M において、アドレスにより指定されたメモリ領域に対して読み出し動作をおこなった後、ビット線を接地電位にプリチャージしてからプレート線の電位を下げることによって、その読み出し動作によってデータが破壊された領域にデータが書き戻されるのを停止する構成であることを特徴とする。その際、ワード線の電位を、データの書き戻しのための電位まで昇圧せずに、V D D レベルに保つ構成としてもよい。また、ビット線を接地電位にクランプすることによって、読み出されたデータが外部へ出力されるのを停止する構成とし、センスアンプの動作を停止する構成としてもよい。

【 0 0 1 7 】

この発明によれば、データの読み出し動作によって、そのデータ読み出し対象のメモリ領域のデータは破壊されるが、その破壊されたデータが読み出し動作後に書き戻されないので、当該メモリ領域のデータは破壊されたままとなる。また、ワード線の昇圧や、センスアンプの動作が停止されることによって、消費電力が抑えられる。

【 0 0 1 8 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図 1 は、本発明にかかる半導体記憶装置の全体構成を示す概略図である。図 1 に示すように、このメモリデバイス（半導体記憶装置）2 0 は、強誘電体メモリからなる不揮発性のメモリブロック 2 1、そのメモリブロック 2 1 に対するデータの書き込み動作、読み出し動作、または消去動作などを制御するための、たとえば X

デコーダ回路や Y デコーダ回路やセンスアンプなどからなるメモリブロック周辺回路 2 2、およびメモリブロック 2 1 に対するデータの入出力のインタフェース (I/O Interface) 2 3 を有する。また、外部からアドレス信号、切り替え手段としての機能を有する制御信号であるデータ破壊信号 (DEL)、およびチップ選択信号 (/CS) がそれぞれ入力される各種制御信号線 2 4, 2 5, 2 6、並びにデータバス 2 7 が設けられている。

【 0 0 1 9 】

図 2 は、図 1 に示すメモリデバイス 2 0 の図示しないプレート線を駆動するためのプレート線制御回路の機能について説明するための図である。図 2 に示すように、プレート線制御回路 (PLCTL) 3 0 は、従来の F e R A M において用いられていたプレート線を駆動するための信号 (PLCLK)、ワード線駆動クロック信号 (WLCLK) およびプリチャージ信号 (/PRC) を用い、これらの信号とデータ破壊信号 (DEL) とに基づいて、プレート線を駆動するための新たな信号 (PLDRV) を生成する。この新たなプレート線駆動信号 (PLDRV) によりプレート線が駆動され、データの破壊がおこなわれる。したがって、プレート線制御回路 (PLCTL) 3 0 は、データ破壊手段としての機能を有する。

【 0 0 2 0 】

新たなプレート線駆動信号 (PLDRV) は、従来のプレート線駆動信号 (PLCLK) よりも、立ち下がりのタイミングが遅くなり、ビット線が接地電位にプリチャージされた後に立ち下がる。新たなプレート線駆動信号 (PLDRV) の立ち下がりのタイミングが、図 2 において破線で示す従来のプレート線駆動信号 (PLCLK) と同じになるか、それよりも遅いタイミングになるかは、データ破壊信号 (DEL) に基づいて制御される。

【 0 0 2 1 】

図 3 は、プレート線制御回路 (PLCTL) 3 0 の構成の一例を示す回路図である。図 3 に示すように、プレート線制御回路 (PLCTL) 3 0 は、たとえば 1 個の PMOS トランジスタ 3 1、4 個の NMOS トランジスタ 3 2, 3 3, 3 4, 3 5、ナンド・ゲート 3 6 および 6 個のインバータ 3 7, 3 8, 3 9, 4 0

、41、42により構成されている。従来のプレート線駆動信号（PLCLK）は、第1のインバータ37により反転され、PMOSトランジスタ31および第1のNMOSトランジスタ32により構成されるインバータ回路に入力される。このインバータ回路から新たなプレート線駆動信号（PLDRV）が出力される。

【0022】

第1のNMOSトランジスタ32のソースは、第2のNMOSトランジスタ33のドレインに接続されている。第2のNMOSトランジスタ33のソース電位は、負の電源電位または接地電位（以下、VSSとする）レベルである。したがって、第2のNMOSトランジスタ33がオン状態のときに、新たなプレート線駆動信号（PLDRV）は、従来のプレート線駆動信号（PLCLK）と同じになる。つまり、新たなプレート線駆動信号（PLDRV）の立ち下がりタイミングは、図2において破線で示す従来のプレート線駆動信号（PLCLK）と同じになる。

【0023】

第2のNMOSトランジスタ33のオン／オフの切り替えは、データ破壊信号（DEL）に基づいて制御される。データ破壊信号（DEL）は、第3のNMOSトランジスタ34がオン状態のときに、プレート線制御回路（PLCTL）30内に取り込まれ、第2のインバータ38と第3のインバータ39によりラッチされる。第3のNMOSトランジスタ34のオン／オフの切り替えは、ワード線駆動クロック信号（WLCLK）に基づいて制御される。

【0024】

ラッチされた信号（LATCHED_DEL2）は、第4のインバータ40により反転される。この反転された信号（DELCTL2）と、プリチャージ信号（/PRC）を第5のインバータ41により反転した信号とが、ナンド・ゲート36に入力される。このナンド・ゲート36の出力信号は、第2のNMOSトランジスタ33のゲートに入力され、第2のNMOSトランジスタ33のオン／オフの切り替えを制御する。

【0025】

また、第2のインバータ38と第3のインバータ39によりラッチされた信号(LATCHED_DEL2)は、第4のNMOSトランジスタ35がオン状態になることによって、VSSレベルにリセットされる。第4のNMOSトランジスタ35のオン／オフの切り替えは、ワード線駆動クロック信号(WLCLK)が第6のインバータ42により反転された信号に基づいて制御される。

【0026】

図4は、メモリデバイス20から読み出されたデータを、メモリデバイス20の外部へ出力するか否かを制御するために、データ破壊信号(DEL)をラッチする回路の機能について説明するための図である。図4に示すように、データ破壊信号ラッチ回路50は、チップ選択信号(/CS)に基づいて、データ破壊信号(DEL)をラッチし、そのラッチした信号を、読み出し動作を制御する信号(DELCTL)として出力する。

【0027】

図5は、データ破壊信号ラッチ回路50の構成の一例を示す回路図である。図5に示すように、データ破壊信号ラッチ回路50は、たとえば2個のPMOSトランジスタ51、52、3個のNMOSトランジスタ53、54、55、ナンド・ゲート56、7個のインバータ57、58、59、60、61、62、63および2個の遅延線64、65により構成されている。

【0028】

データ破壊信号ラッチ回路50に入力されたチップ選択信号(/CS)は、第7のインバータ57により反転される。その反転された信号(CS0)は、チップ選択信号(/CS)を第1の遅延線64により遅延させた信号(/DELAYED_CS)とともに、第2のナンド・ゲート56に入力される。第2のナンド・ゲート56の出力信号は、第8のインバータ58により反転される。その反転された信号(CS_EDGE0)は、第2の遅延線65により遅延される。

【0029】

第2の遅延線65により遅延された信号(CS_EDGE1)は、第9のインバータ59により反転されて第2のPMOSトランジスタ51のゲートに入力されるとともに、第5のNMOSトランジスタ53のゲートに入力される。第2の

PMOSトランジスタ51と第5のNMOSトランジスタ53とは、ドレインが共通接続されており、ここから出力された信号（／LATCHED_DEL1）は、第10のインバータ60と第11のインバータ61によりラッチされる。ラッチされた信号は、第12のインバータ62により反転され、読み出し動作を制御する信号（DELCTL）として出力される。

【0030】

第2のPMOSトランジスタ51のソース電位は、第3のPMOSトランジスタ52がオン状態のときに、VDDレベルとなる。一方、第5のNMOSトランジスタ53のソース電位は、第6のNMOSトランジスタ54がオン状態のときに、VSSレベルとなる。第3のPMOSトランジスタ52および第6のNMOSトランジスタ54のオン／オフの切り替えは、データ破壊信号（DEL）が第13のインバータ63により反転された信号（／DEL0）に基づいて制御される。

【0031】

また、第10のインバータ60と第11のインバータ61によりラッチされた信号（／LATCHED_DEL1）は、第7のNMOSトランジスタ55がオン状態になることによって、VSSレベルにリセットされる。第7のNMOSトランジスタ55のオン／オフの切り替えは、チップ選択信号（／CS）に基づいて制御される。

【0032】

図6は、メモリデバイス20から読み出されたデータを、メモリデバイス20の外部へ出力しないためにビット線の電位をクランプする回路の構成の一例を示す回路図である。図6に示すように、ビット線BL、／BLには、プリチャージ用の第8のNMOSトランジスタ66が接続されている。このNMOSトランジスタ66のオン／オフの切り替えは、クランプ制御信号（CLAMPCTL）に基づいて制御される。

【0033】

クランプ制御信号（CLAMPCTL）は、データ破壊信号ラッチ回路50から出力された読み出し制御信号（DELCTL）と、従来のFeRAMにおいて

用いられていたセンスアンプを駆動する信号（S A C L K）とを入力とするアンド・ゲート 6 7 から出力される。データの読み出し時にビット線 B L，／B L がクランプされると、読み出されたデータが外部に出力されなくなる。したがって、第 8 の N M O S トランジスタ 6 6 およびアンド・ゲート 6 7 は、データ出力停止手段としての機能を有する。なお、従来の F e R A M において用いられていたセンスアンプを駆動する信号（S A C L K）の代わりに、ワード線やプレート線を制御する信号を用いてもよい。

【 0 0 3 4 】

図 7 は、センスアンプによるセンシング動作を制御する回路の機能について説明するための図である。図 7 に示すように、センスアンプ制御回路（S/A Controller）7 0 は、たとえば読み出し動作を制御する信号（D E L C T L）の反転信号（／D E L C T L）と、従来のセンスアンプ駆動信号（S A C L K）との論理積をセンスアンプ・イネーブル信号（S A E）として出力する回路である。センスアンプ・イネーブル信号（S A E）は、図示しないセンスアンプ駆動回路に供給され、それによってセンスアンプが駆動される。したがって、センスアンプ制御回路 7 0 はセンシング停止手段としての機能を有する。

【 0 0 3 5 】

図 8 は、ワード線（W L）の昇圧を制御する回路の構成の一例を示す図である。図 8 に示すように、本実施の形態におけるワード線昇圧制御回路 8 0 は、従来の回路（図 2 6 参照）の構成に、ブースト制御回路（B O O S T Controller）8 1 を追加した構成となっている。なお、図 8 に示す構成において、図 2 6 と同じ構成については同一の符号を付して説明を省略する。ブースト制御回路 8 1 は、カップリング容量となるコンデンサ 4 を駆動するために従来の F e R A M において用いられていた信号（B O O S T C L K）と、データ破壊信号（D E L）の反転信号（／D E L）との論理積をとり、それをコンデンサ 4 の新たな駆動信号（B O O S T C T L）として出力する。したがって、ブースト制御回路 8 1 は昇圧停止手段としての機能を有する。

【 0 0 3 6 】

つぎに、上述した構成のメモリデバイス 2 0 の動作について説明する。まず、

メモリデバイス 20 から読み出されたデータを外部へ出力するとともに、データが読み出されたメモリ領域のデータを破壊する場合（ケース 1 とする）の動作について説明する。この場合の処理は、図 9 に示すように、メモリセルからビット線にデータを読み出し（ステップ S 9 1）、それをセンスアンプで増幅して（ステップ S 9 2）、外部へ出力した後（ステップ S 9 3）、プレート線の電位を下げる前に、ビット線を接地電位（GND）にプリチャージして初期化する（ステップ S 9 4）というシーケンスとなる。

【 0 0 3 7 】

つぎに、ケース 1 の動作タイミングについて説明する。ここで、本実施の形態では、特に限定しないが、たとえばデータ破壊信号（DEL）が L レベルのときに、通常動作、すなわちデータ読み出しにともなってリストアをおこなうように動作するものとする。

【 0 0 3 8 】

図 10 は、ケース 1 のタイミング・ダイヤグラムである（各種信号については、図 3 および図 5 を参照）。図 10 に示すように、まず、ローアクティブであるチップ選択信号（/CS）が H レベルから L レベルに切り替わる。それによって、プリチャージ信号（/PRC）が H レベルから L レベルに切り替わる。データ破壊信号（DEL）、読み出し動作を制御する信号（DELCTL）、ワード線駆動クロック信号（WLCLK）、従来のプレート線駆動信号（PLCLK）および新たなプレート線駆動信号（PLDRV）は L レベルのままである。

【 0 0 3 9 】

ついで、データ破壊信号（DEL）が H レベルに切り替わる。そして、ワード線駆動クロック信号（WLCLK）が H レベルに切り替わり、H レベルのデータ破壊信号（LATCHED_DEL2）がラッチされる。また、従来のプレート線駆動信号（PLCLK）が H レベルに切り替わり、新たなプレート線駆動信号（PLDRV）も H レベルに切り替わる。そして、データの読み出しがおこなわれる。

【 0 0 4 0 】

データの読み出しが終了すると、従来のプレート線駆動信号（PLCLK）が

Lレベルに切り替わる。しかし、ワード線駆動クロック信号（WLCCLK）がHレベルの間は、プレート線制御回路（PLCTL）30にHレベルのデータ破壊信号（LATCHED_DEL2）がラッチされているため、新たなプレート線駆動信号（PLDRV）はHレベルのままである。この間に、ビット線が接地電位にプリチャージされる。その後、プリチャージ信号（/PRC）がHレベルに戻る。それに伴って、新たなプレート線駆動信号（PLDRV）はLレベルに戻る。つまり、プレート線の電位が下がる前にビット線が初期化されるので、リストアはおこなわれない。

【0041】

その後、ワード線駆動クロック信号（WLCCLK）がLレベルに切り替わり、ラッチされていたHレベルのデータ破壊信号（LATCHED_DEL2）はLレベルにリセットされる。そして、チップ選択信号（/CS）がHレベルに復帰し、つづいてデータ破壊信号（DEL）がLレベルに復帰して、ケース1の動作が終了する。

【0042】

つぎに、メモリデバイス20から読み出されたデータを外部へ出力しないで、データが読み出されたメモリ領域のデータを破壊する場合（ケース2とする）の動作について説明する。この場合の処理は、図11に示すように、メモリセルからビット線にデータを読み出し（ステップS111）、その直後にプレート線の電位を高くしたまま、ビット線を接地電位にプリチャージして初期化する（ステップS112）というシーケンスとなる。

【0043】

つぎに、ケース2の動作タイミングについて説明する。図12は、ケース2の制御系の信号のタイミング・ダイアグラムであり、図13は、ビット線に関する信号のタイミング・ダイアグラムである（各種信号については、図3、図5および図6を参照）。図12および図13に示すように、まず、データ破壊信号（DEL）がLレベルからHレベルに切り替わる。その後、ローアクティブであるチップ選択信号（/CS）がHレベルからLレベルに切り替わる。

【0044】

それによって、データ破壊信号ラッチ回路50にHレベルの信号（／LATC HED__DEL1）がラッチされるので、読み出し動作を制御する信号（DEL CTL）は、LレベルからHレベルに切り替わる。また、プリチャージ信号（／PRC）がHレベルからLレベルに切り替わる。ワード線駆動クロック信号（WLCLK）、従来のプレート線駆動信号（PLCLK）および新たなプレート線駆動信号（PLDRV）はLレベルのままである。

【0045】

ついで、ワード線駆動クロック信号（WLCLK）がHレベルに切り替わり、Hレベルのデータ破壊信号（LATCHED__DEL2）がラッチされる。また、従来のプレート線駆動信号（PLCLK）がHレベルに切り替わり、新たなプレート線駆動信号（PLDRV）もHレベルに切り替わる。そして、ビット線BL，／BLにデータが読み出される。

【0046】

ついで、ここまで従来のセンスアンプ駆動信号（SACLK）とクランプ制御信号（CLAMPCTL）はLレベルであったが、従来のセンスアンプ駆動信号（SACLK）がHレベルに切り替わる。それに伴って、クランプ制御信号（CLAMPCTL）もHレベルに切り替わる。それによって、ビット線BL，／BLが接地電位にクランプされる。

【0047】

その後、従来のプレート線駆動信号（PLCLK）がLレベルに切り替わり、従来のセンスアンプ駆動信号（SACLK）とクランプ制御信号（CLAMPCTL）がLレベルに戻る。その後、プリチャージ信号（／PRC）がHレベルに戻り、新たなプレート線駆動信号（PLDRV）がLレベルに戻る。この場合も、プレート線の電位が下がる前にビット線が初期化されているので、リストアはおこなわれない。

【0048】

その後、ワード線駆動クロック信号（WLCLK）がLレベルに切り替わる。さらに、チップ選択信号（／CS）がHレベルに復帰する。それに伴って、データ破壊信号ラッチ回路50にラッチされていたHレベルの信号（／LATCHED

D_{DEL1}) が L レベルにリセットされるので、読み出し動作を制御する信号 (DELCTL) も L レベルにリセットされる。そして、データ破壊信号 (DEL) が L レベルに復帰して、ケース 2 の動作が終了する。

【 0 0 4 9 】

上述したケース 1 およびケース 2 においては、図 1 4 に示すように、データ破壊信号 (DEL) が H レベルになることによって、その反転信号 (\neg DEL) は L レベルとなる。そのため、ビット線へのデータの読み出しが終わった後、従来のワード線 (WL) を昇圧するための信号 (BOOSTCLK) が H レベルになっても、ワード線 (WL) を昇圧するための新たな信号 (BOOSTCTL) は L レベルのままである (図 8 参照)。したがって、ワード線 (WL) に接続されたコンデンサ 4 の電位が上がらないため、ワード線 (WL) は昇圧されない。

【 0 0 5 0 】

また、上述したケース 2 において、図 1 5 に示すように、読み出し動作を制御する信号 (DELCTL) が H レベルになることによって、その反転信号 (\neg DELCTL) は L レベルとなる。そのため、データの読み出し時に、従来のセンスアンプ駆動信号 (SACLK) が H レベルになっても、センスアンプ・イネーブル信号 (SAE) は L レベルのままである (図 7 参照)。したがって、センスアンプは駆動しない。

【 0 0 5 1 】

つぎに、メモリデバイス 2 0 から読み出されたデータを外部へ出力するとともに、データが読み出されたメモリ領域にデータを書き戻す動作、すなわち通常の動作について説明する。この場合の処理は、図 2 4 に示す従来の処理と同じである。図 1 6 は、通常動作のタイミング・ダイヤグラムである (各種信号については、図 3 および図 5 を参照)。図 1 6 に示すように、まず、ローアクティブであるチップ選択信号 (\neg CS) が H レベルから L レベルに切り替わり、プリチャージ信号 (\neg PRC) が H レベルから L レベルに切り替わる。

【 0 0 5 2 】

ついで、ワード線駆動クロック信号 (WLCLK) が H レベルに切り替わる。それによって、従来のプレート線駆動信号 (PLCLK) および新たなプレート

線駆動信号（P L D R V）がHレベルに切り替わり、データの読み出しがおこなわれる。データの読み出しが終了すると、従来のプレート線駆動信号（P L C L K）がLレベルに切り替わり、それに伴って、新たなプレート線駆動信号（P L D R V）もLレベルに戻る。そして、ワード線が昇圧されて、破壊されたデータが書き戻される。

【 0 0 5 3 】

その後、プリチャージ信号（／P R C）がHレベルに戻る。そして、ワード線駆動クロック信号（W L C L K）がLレベルに切り替わり、チップ選択信号（／C S）がHレベルに復帰し、通常動作が終了する。この処理の間、データ破壊信号（D E L）および読み出し動作を制御する信号（D E L C T L）はLレベルのままである。

【 0 0 5 4 】

図 1 7 は、本発明をプレート線共有タイプの F e R A M に適用した装置のワード線選択を制御する回路の構成を示す図であり、図 1 8 はその動作のタイミング・ダイアグラムである。図 1 7 に示すように、この回路は、従来の回路（図 3 0 参照）の構成に、2 個のノア・ゲート 9 1、9 2 と 2 個のインバータ 9 3、9 4 を追加した構成となっている。なお、図 1 7 に示す構成において、図 3 0 と同じ構成については同一の符号を付して説明を省略する。

【 0 0 5 5 】

一方のノア・ゲート 9 1 には、アドレス選択信号（A D D R _ S E L）とデータ破壊信号（D E L）が入力され、その出力信号はインバータ 9 3 により反転されて、ブロック選択信号（B L O C K S E L）とともに第 1 のナンド・ゲート 1 0 に入力される。また、もう一方のノア・ゲート 9 2 には、アドレス選択信号（A D D R _ S E L）の反転信号（／A D D R _ S E L）とデータ破壊信号（D E L）が入力され、その出力信号はインバータ 9 4 により反転されて、ブロック選択信号（B L O C K S E L）とともに第 2 のナンド・ゲート 1 5 に入力される。

【 0 0 5 6 】

図 1 8 に示すように、データ破壊信号（D E L）がHレベルとなり、ブロック選択信号（B L O C K S E L）がHレベルとなると、アドレス選択信号（A D D

R__SEL)によらず、第1のナンド・ゲート10の出力信号、すなわち第1のNMOSトランジスタ11のゲート入力信号(WLPC1)はLレベルとなる。したがって、第1のNMOSトランジスタ11はオフ状態となる。

【0057】

また、第1のナンド・ゲート10の出力信号は、第1のインバータ12により反転され、第2のNMOSトランジスタ13を介して、第3のNMOSトランジスタ14のゲートに、Hレベルのゲート信号(WLSEL1GT)として入力されるので、第3のNMOSトランジスタ14はオン状態となる。したがって、第1のワード線を駆動する信号(WLCLK1L)がVDDレベルとなる。

【0058】

一方、アドレス選択信号(ADDR__SEL)の反転信号(/ADDR__SEL)はLレベルとなるが、その電位レベルによらず、第2のナンド・ゲート15の出力信号もLレベルとなる。第2のナンド・ゲート15から、第2のワード線の駆動信号(WLCLK2L)が出力されるまでの回路構成は、第1のナンド・ゲート10から、第1のワード線の駆動信号(WLCLK1L)が出力されるまでの回路構成と同じであるため、第2のワード線の駆動信号(WLCLK2L)もVDDレベルとなる。つまり、1本のプレート線を共有する一对のワード線が両方とも同時に選択されたことになる。したがって、ノア・ゲート91, 92およびインバータ93, 94は多重選択手段としての機能を有する。このようにワード線の多重選択をおこなうことによって、ワード線とプレート線が1対1で対応している構成に比べて、同一ブロックのデータを2倍の速さで破壊することができる。

【0059】

図19は、本発明を、アクセス等の有効回数を制限する機能の実現に適用した例を示す模式図である。この機能を実現するにあたっては、あらかじめメモリ領域全体100のうちの所定のブロック101にデータが書き込まれた状態で出荷される。そして、エンドユーザ側で読み出しがおこなわれるたびに、このデータが書き込まれたブロック101内のデータが一つずつ読み出され、リストアされずに破壊される。アクセス制限データが書き込まれたブロック101に対するブ

レート線の駆動回路 1 0 3 は、上述したケース 1 と同様である。また、通常のリデータ領域として使用されるメモリ領域（メモリバンク） 1 0 2 に対するプレート線の駆動回路（PL Driver） 1 0 4 は、従来同様である。なお、図 1 9 において、符号 1 0 5 はワード線駆動回路（WL Driver）であり、符号 1 0 6 はセンスアンプ（S/A）である。

【 0 0 6 0 】

図 2 0 は、アクセス制限データが書き込まれたブロック 1 0 1 に対するプレート線駆動回路 1 0 3 と、通常のリデータ領域として使用されるメモリ領域 1 0 2 に対するプレート線の駆動回路 1 0 4 の詳細な回路図である。アクセス制限データが書き込まれたブロック 1 0 1 に対するプレート線駆動回路 1 0 3 の個々のプレート線に対する駆動回路は、図 3 に示すプレート線制御回路（PLCTL） 3 0 と同じである。なお、図 2 0 に示す構成において、図 3 と同じ構成については同一の符号を付して説明を省略する。

【 0 0 6 1 】

アクセス制限データが書き込まれたブロック 1 0 1 に対するプレート線駆動回路 1 0 3 において、従来のプレート線駆動信号（PLCLK__SX～PLCLK__S1）は、ノア・ゲート 1 1 1 およびインバータ 1 1 2 からなる回路により生成される。そして、従来のプレート線駆動信号（PLCLK__SX～PLCLK__S1）に基づいて、新たなプレート線駆動信号（PLDRV__SX～PLDRV__S1）が生成される。

【 0 0 6 2 】

また、通常のリデータ領域として使用されるメモリ領域 1 0 2 に対するプレート線の駆動回路 1 0 4 の個々のプレート線に対する駆動回路は、ノア・ゲート 1 1 3 およびインバータ 1 1 4 からなる回路により、従来のプレート線駆動信号（PLCLK__01～PLCLK__XX）を生成し、それを 2 個のインバータ 1 1 5 , 1 1 6 により 2 回反転して、新たなプレート線駆動信号（PLDRV__01～PLDRV__XX）を出力する構成となっている。

【 0 0 6 3 】

図 2 1 に、アクセス制限データが書き込まれたブロック 1 0 1 からの読み出し

データを外部へ出力するとともに、データのリストアをおこなわない処理のタイミング・ダイアグラムを、他のプレート線に関する信号との識別のために「S 1」を付した信号について示す。図 1 0 に示すダイアグラムと同様に、ビット線 B L が接地電位にプリチャージされた後に、新たなプレート線駆動信号（P L D R V _ S 1）が L レベルに戻るので、リストアがおこなわれない。したがって、アクセス等の有効回数が 1 回減ることになる。

【 0 0 6 4 】

図 2 2 に、アクセス制限データが書き込まれたブロック 1 0 1 からの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイアグラムを示す。これは、アクセス制限データが書き込まれたブロック 1 0 1 を、上述したようにアクセス制限データをあらかじめ記憶させておくために用いることのほかに、通常のリストアをおこなうメモリ領域と同じ形態で 사용할ことができる構成となっており、通常のメモリ領域としての使用を選択したときのダイアグラムである。図 1 6 に示すダイアグラムと同様に、新たなプレート線駆動信号（P L D R V _ S 1）が L レベルに戻った後、ビット線 B L が接地電位にプリチャージされるまでの間に、リストアがおこなわれる。

【 0 0 6 5 】

図 2 3 に、通常のデータ領域として使用されるメモリ領域 1 0 2 からの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイアグラムを、他のプレート線に関する信号との識別のために「0 1」を付した信号について示す。図 1 6 に示すダイアグラムと同様に、新たなプレート線駆動信号（P L D R V _ 0 1）が L レベルに戻った後、ビット線 B L が接地電位にプリチャージされるまでの間に、リストアがおこなわれる。

【 0 0 6 6 】

上述した実施の形態によれば、データの読み出し動作後にデータの書き戻しがおこなわれないため、データの読み出し動作によって破壊されたデータは読み出し終了後も破壊されたままとなるので、アプリケーション等の作業時に用いられた不要なデータを容易に破壊することができる。また、データの上書きをおこなわずにデータを破壊するため、ワード線の昇圧を停止することができ、さらには

読み出しデータを外部に出力しない場合にはセンスアンプの動作を停止することができるので、データ破壊時の消費電力を抑えることができる。

【 0 0 6 7 】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、メモリデバイス 2 0 から読み出されたデータを外部へ出力しない場合、ビット線の電位を接地電位にクランプする代わりに、ビット線の電位をフローティングとしてもよい。

【 0 0 6 8 】

(付記 1) 強誘電体メモリよりなるメモリブロック、および前記メモリブロックに対するアクセスの制御をおこなう周辺回路を有する半導体記憶装置において、前記メモリブロックに対するデータ読み出し動作によって前記メモリブロックのデータが破壊された領域に、当該破壊されたデータを書き戻す動作を停止するデータ破壊手段を具備することを特徴とする半導体記憶装置。

【 0 0 6 9 】

(付記 2) 前記データ破壊手段は、ビット線が接地電位にプリチャージされた後にプレート線の電位を下げるプレート線制御回路を有することを特徴とする付記 1 に記載の半導体記憶装置。

【 0 0 7 0 】

(付記 3) 前記プレート線制御回路がプレート線の電位を下げるタイミングを、ビット線が接地電位にプリチャージされる前にするか、ビット線が接地電位にプリチャージされた後にするかを、外部から切り替える切り替え手段を備えていることを特徴とする付記 2 に記載の半導体記憶装置。

【 0 0 7 1 】

(付記 4) 前記切り替え手段は、外部から入力される制御信号であることを特徴とする付記 3 に記載の半導体記憶装置。

【 0 0 7 2 】

(付記 5) ビット線が接地電位にプリチャージされた後に、前記プレート線制御回路がプレート線の電位を下げるまでの間、ワード線を書き込み電圧まで昇圧する動作を停止する昇圧停止手段を備えていることを特徴とする付記 1 ～ 4 のいづ

れか一つに記載の半導体記憶装置。

【 0 0 7 3 】

（付記 6）前記昇圧停止手段は、ワード線に接続されたカップリング容量の電位を制御するブースト制御回路であることを特徴とする付記 5 に記載の半導体記憶装置。

【 0 0 7 4 】

（付記 7）前記ブースト制御回路がワード線の昇圧を停止するか否かを外部から切り替える切り替え手段を備えていることを特徴とする付記 5 に記載の半導体記憶装置。

【 0 0 7 5 】

（付記 8）前記切り替え手段は、外部から入力される制御信号であることを特徴とする付記 7 に記載の半導体記憶装置。

【 0 0 7 6 】

（付記 9）前記メモリブロックから読み出されたデータを外部へ出力するのを停止するデータ出力停止手段を備えていることを特徴とする付記 1 ～ 8 のいずれか一つに記載の半導体記憶装置。

【 0 0 7 7 】

（付記 1 0）前記データ出力停止手段は、ビット線を所定電位にクランプするクランプ回路であることを特徴とする付記 9 に記載の半導体記憶装置。

【 0 0 7 8 】

（付記 1 1）前記クランプ回路がビット線を所定電位にクランプするか否かを外部から切り替える切り替え手段を備えていることを特徴とする付記 1 0 に記載の半導体記憶装置。

【 0 0 7 9 】

（付記 1 2）前記切り替え手段は、外部から入力される制御信号であることを特徴とする付記 1 1 に記載の半導体記憶装置。

【 0 0 8 0 】

（付記 1 3）センスアンプがビット線の電位を増幅するのを停止するセンシング停止手段を備えていることを特徴とする付記 9 ～ 1 2 のいずれか一つに記載の半

導体記憶装置。

【 0 0 8 1 】

（付記 1 4）前記センシング停止手段がセンスアンプの動作を停止するか否かを外部から切り替える切り替え手段を備えていることを特徴とする付記 1 3 に記載の半導体記憶装置。

【 0 0 8 2 】

（付記 1 5）前記切り替え手段は、外部から入力される制御信号であることを特徴とする付記 1 4 に記載の半導体記憶装置。

【 0 0 8 3 】

（付記 1 6）同一のプレート線と組み合わされている 2 本のワード線の電位を同時に上昇させる多重選択手段を備えていることを特徴とする付記 1 ～ 1 5 のいずれか一つに記載の半導体記憶装置。

【 0 0 8 4 】

（付記 1 7）前記多重選択手段が、同一のプレート線と組み合わされている 2 本のワード線の電位を同時に上昇させるか否かを外部から切り替える切り替え手段を備えていることを特徴とする付記 1 6 に記載の半導体記憶装置。

【 0 0 8 5 】

（付記 1 8）前記切り替え手段は、外部から入力される制御信号であることを特徴とする付記 1 7 に記載の半導体記憶装置。

【 0 0 8 6 】

（付記 1 9）付記 4、付記 8、付記 1 2、付記 1 5 および付記 1 8 の制御信号は同一の信号であることを特徴とする半導体記憶装置。

【 0 0 8 7 】

【発明の効果】

本発明によれば、データの読み出し動作によって、そのデータ読み出し対象のメモリ領域のデータは破壊されるが、その破壊されたデータが読み出し動作後に書き戻されないので、当該メモリ領域のデータは破壊されたままとなる。したがって、アプリケーション等の作業時に用いられた不要なデータを容易に破壊することができる。また、本発明によれば、データを破壊する際に、データの上書き

をおこなう必要がないので、ワード線の昇圧や、センスアンプの動作を停止することができる。したがって、データ破壊時の消費電力が抑えられる。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体記憶装置の全体構成を示す概略図である。

【図 2】

本発明にかかる半導体記憶装置のプレート線制御回路の機能について説明するための図である。

【図 3】

本発明にかかる半導体記憶装置のプレート線制御回路の構成の一例を示す回路図である。

【図 4】

本発明にかかる半導体記憶装置のデータ破壊信号ラッチ回路の機能について説明するための図である。

【図 5】

本発明にかかる半導体記憶装置のデータ破壊信号ラッチ回路の構成の一例を示す回路図である。

【図 6】

本発明にかかる半導体記憶装置のビット線クランプ回路の構成の一例を示す回路図である。

【図 7】

本発明にかかる半導体記憶装置のセンスアンプの動作を制御する回路の機能について説明するための図である。

【図 8】

本発明にかかる半導体記憶装置のワード線の昇圧を制御する回路の構成の一例を示す回路図である。

【図 9】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、データのリストアをおこなわない場合の処理を示すフローチャートであ

る。

【図 1 0】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、データのリストアをおこなわない処理のタイミング・ダイアグラムである。

【図 1 1】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをとともにおこなわない場合の処理を示すフローチャートである。

【図 1 2】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをとともにおこなわない処理のタイミング・ダイアグラムである。

【図 1 3】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをとともにおこなわない処理のタイミング・ダイアグラムである。

【図 1 4】

本発明にかかる半導体記憶装置において、ワード線の昇圧をおこなわない処理のタイミング・ダイアグラムである。

【図 1 5】

本発明にかかる半導体記憶装置において、センスアンプを動作させない処理のタイミング・ダイアグラムである。

【図 1 6】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイアグラムである。

【図 1 7】

本発明にかかる半導体記憶装置をプレート線共有タイプの F e R A M に適用した場合のワード線選択を制御する回路の構成を示す回路図である。

【図 1 8】

図 1 7 に示す回路の動作を示すタイミング・ダイアグラムである。

【図 1 9】

本発明を、アクセス等の有効回数を制限する機能の実現に適用した例を示す模式図である。

【図 2 0】

図 1 9 に示す構成におけるプレート線駆動回路の詳細な構成を示す回路図である。

【図 2 1】

図 2 0 に示す回路において、アクセス制限データが書き込まれたブロックからの読み出しデータを外部へ出力するとともに、データのリストアをおこなわない処理のタイミング・ダイヤグラムである。

【図 2 2】

図 2 0 に示す回路において、アクセス制限データが書き込まれたブロックからの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイヤグラムである。

【図 2 3】

図 2 0 に示す回路において、通常のデータ領域として使用されるメモリ領域からの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイヤグラムである。

【図 2 4】

従来の F e R A M におけるデータ読み出し処理を示すフローチャートである。

【図 2 5】

従来の F e R A M におけるデータ読み出し処理のタイミング・ダイヤグラムである。

【図 2 6】

従来の F e R A M におけるワード線を昇圧させるための回路の構成を示す回路図である。

【図 2 7】

図 2 6 に示す回路の動作を示すタイミング・ダイヤグラムである。

【図 2 8】

ワード線とプレート線とが 1 対 1 で対応するタイプの F e R A M を示す模式図

である。

【図 2 9】

2 本のワード線が 1 本のプレート線を共有するタイプの F e R A M を示す模式図である。

【図 3 0】

従来のプレート線共有タイプの F e R A M におけるワード線選択を制御する回路の構成を示す回路図である。

【図 3 1】

図 3 0 に示す回路の動作を示すタイミング・ダイヤグラムである。

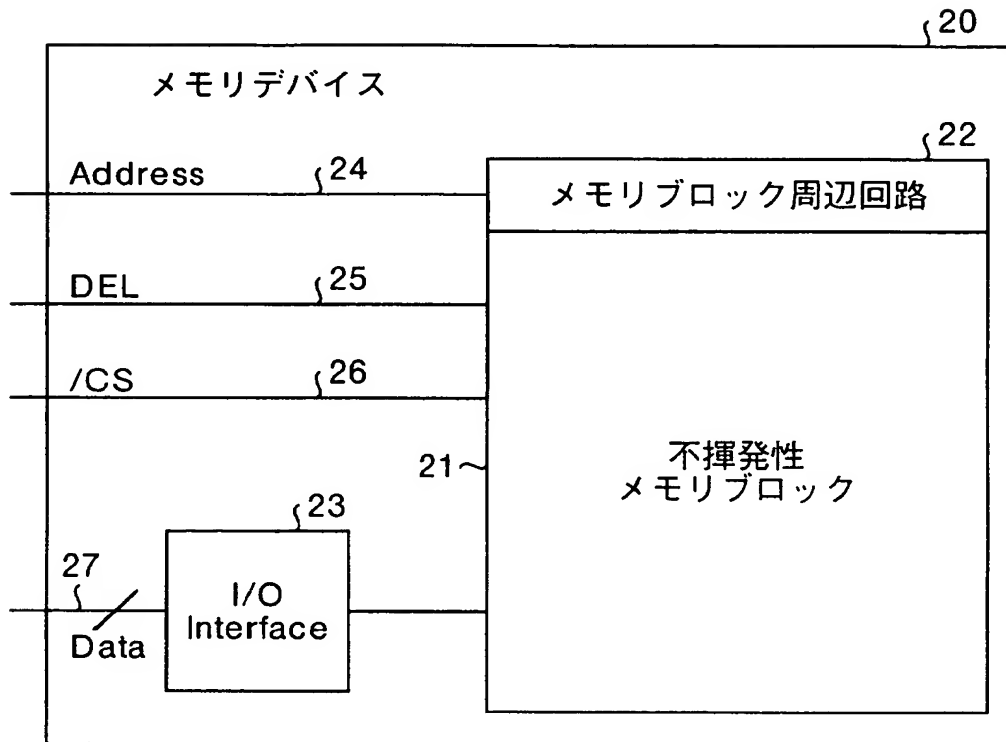
【符号の説明】

- D E L 切り替え手段（データ破壊信号）
- 2 0 半導体記憶装置（メモリデバイス）
- 2 1 メモリブロック
- 2 2 メモリブロック周辺回路
- 3 0 データ破壊手段（プレート線制御回路）
- 6 6, 6 7 データ出力停止手段
- 7 0 センシング停止手段（センスアンプ制御回路）
- 8 1 昇圧停止手段（ブースト制御回路）
- 9 1, 9 2, 9 3, 9 4 多重選択手段

【書類名】 図面

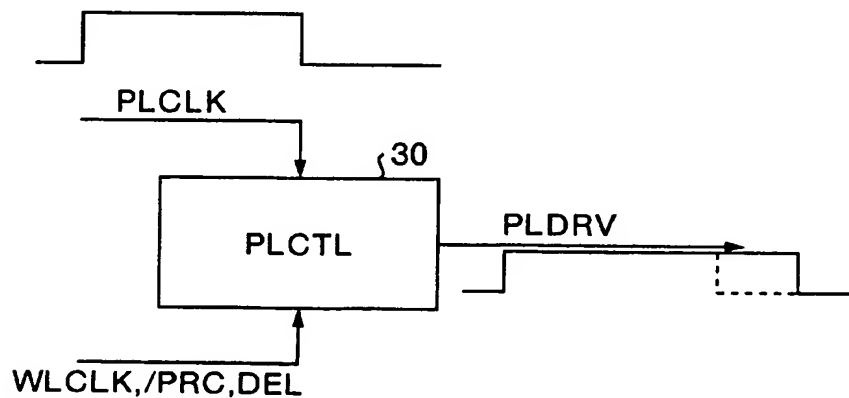
【図 1】

本発明にかかる半導体記憶装置の全体構成を示す概略図



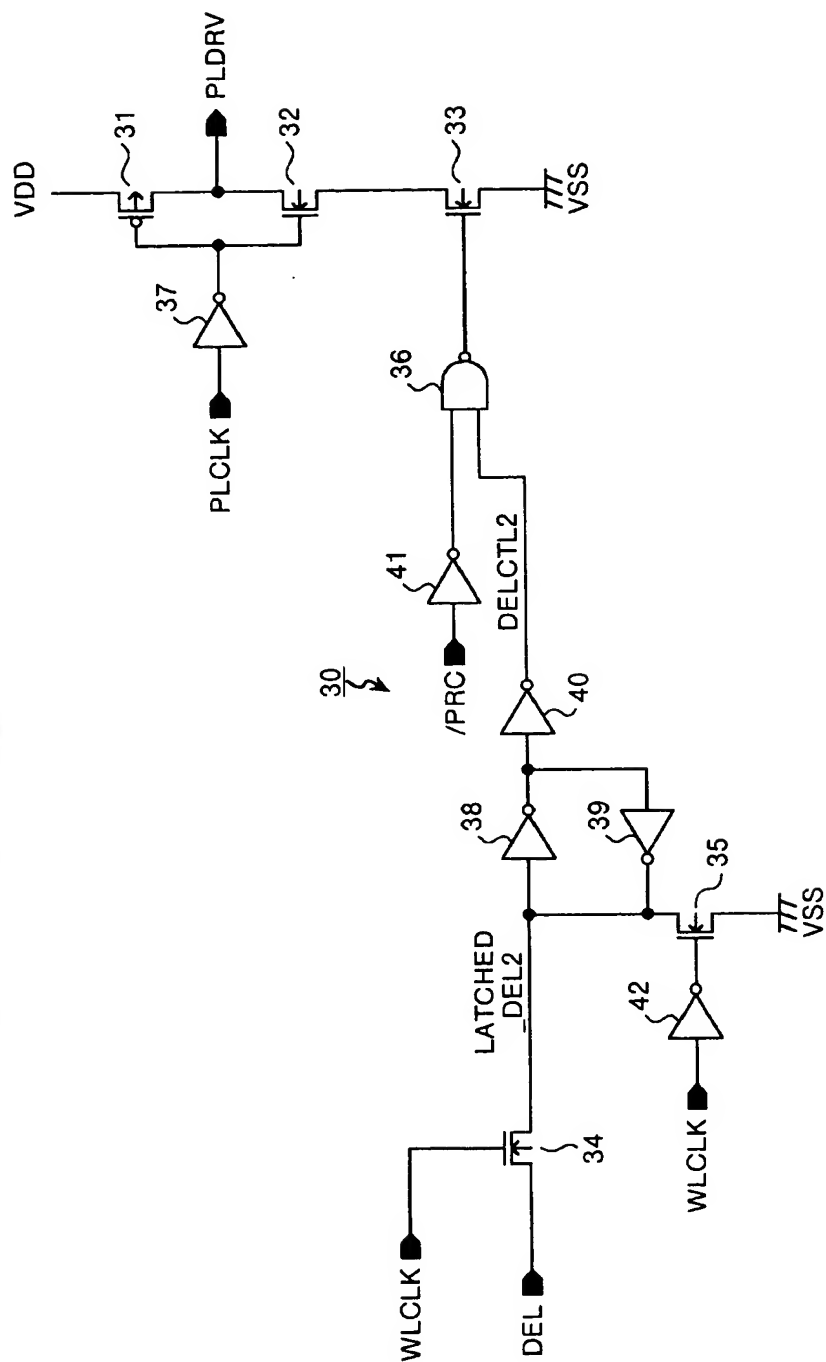
【図 2】

本発明にかかる半導体記憶装置のプレート線制御回路の機能について説明するための図



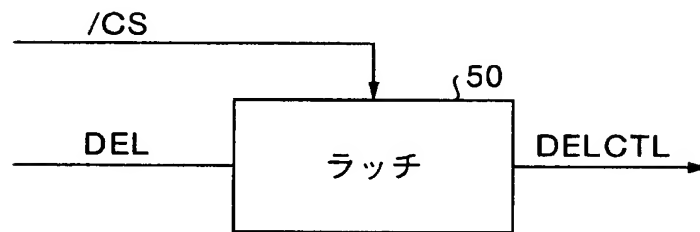
【図 3】

本発明にかかると半導体記憶装置のプレート線制御回路の構成の一例を示す回路図



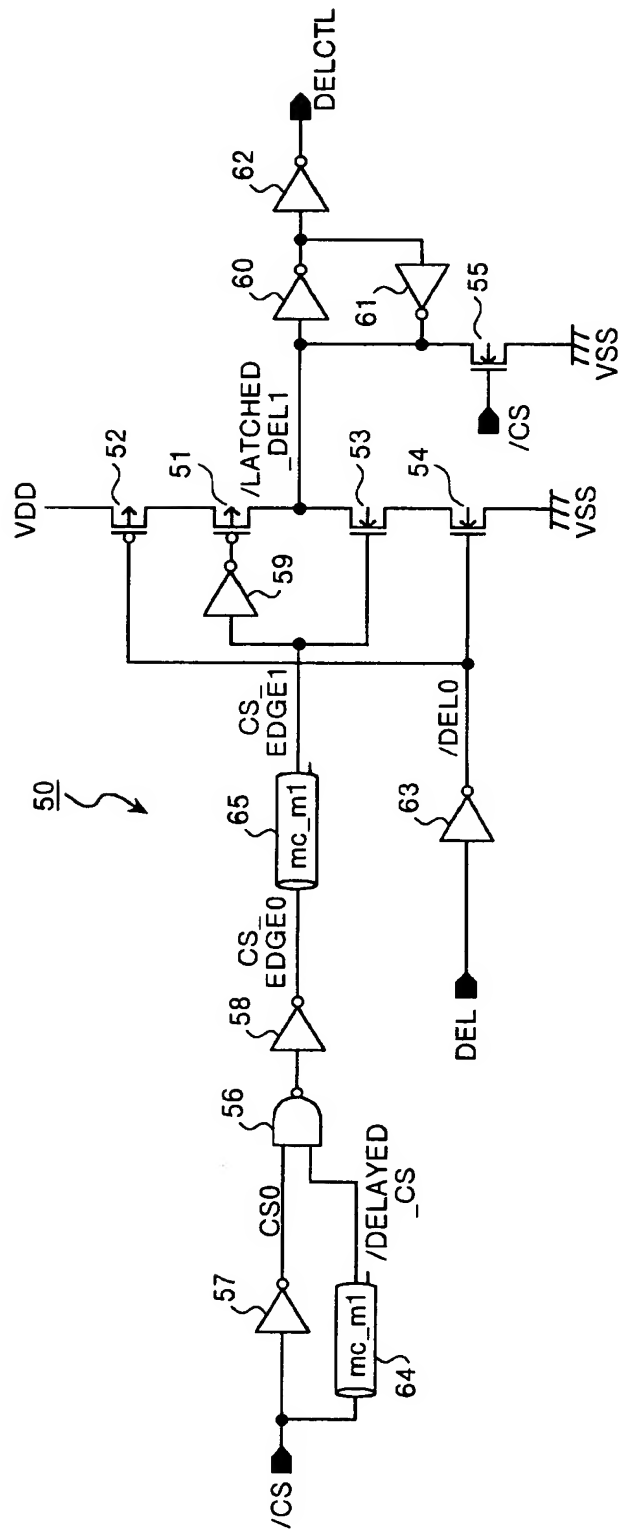
【図 4】

本発明にかかる半導体記憶装置の
データ破壊信号ラッチ回路の機能について説明するための図



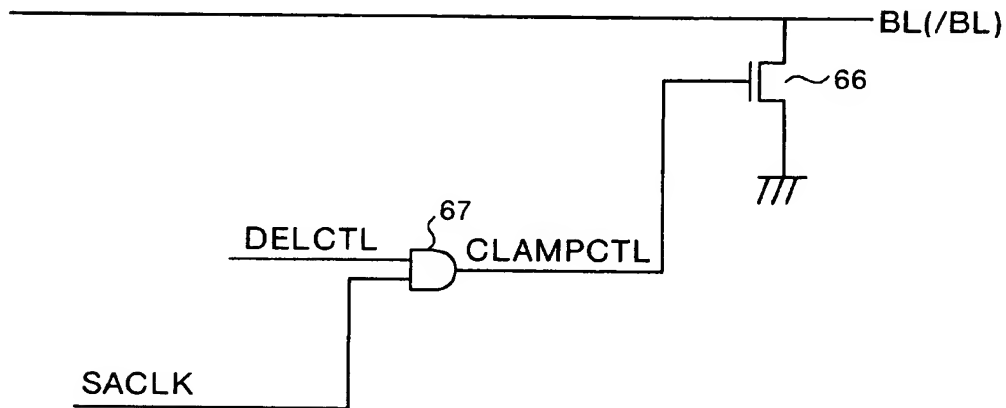
【図 5】

本発明にかかる半導体記憶装置のデータ破壊信号ラッチ回路の構成の一例を示す回路図



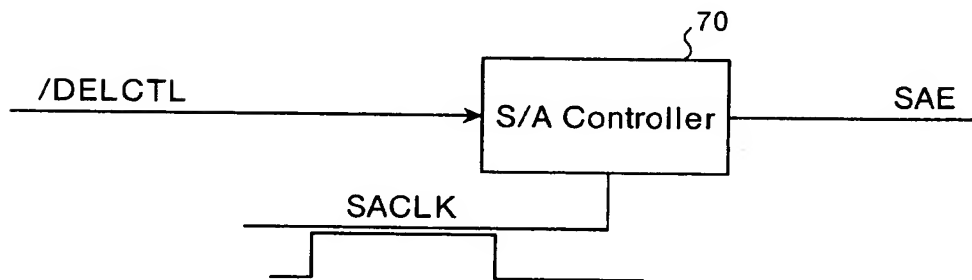
【図 6】

本発明にかかる半導体記憶装置のビット線クランプ回路の構成の一例を示す回路図



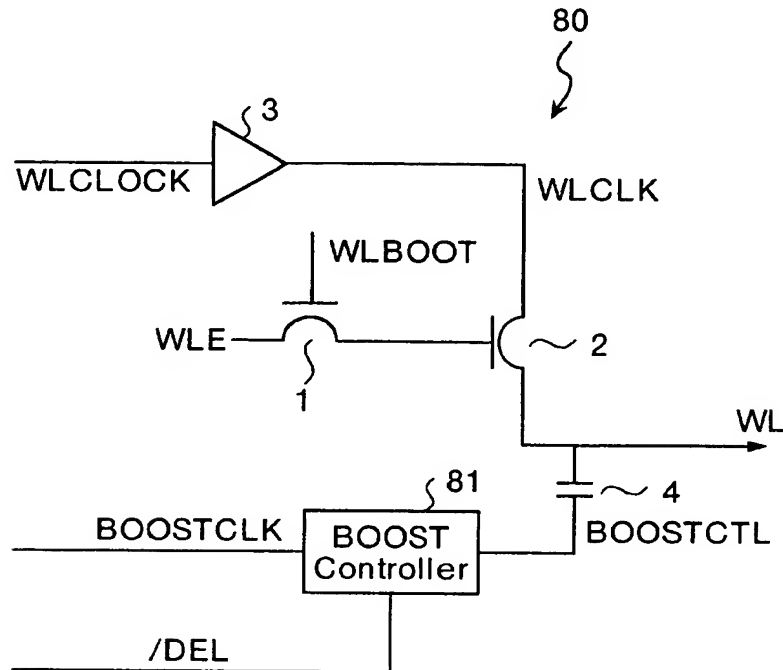
【図 7】

本発明にかかる半導体記憶装置のセンスアンプの動作を制御する回路の機能について説明するための図



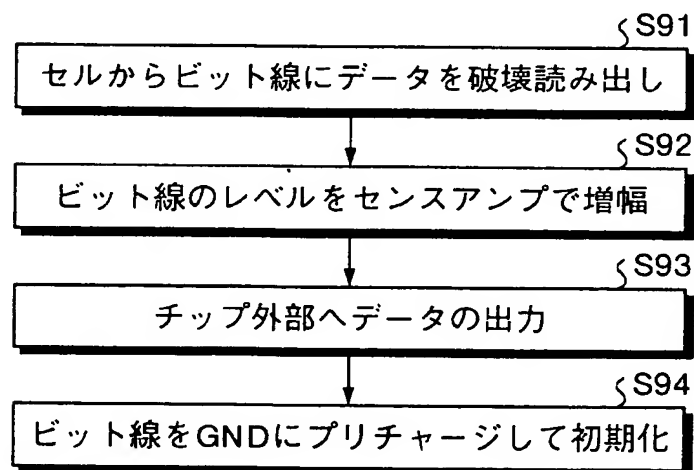
【図 8】

本発明にかかる半導体記憶装置の
ワード線の昇圧を制御する回路の構成の一例を示す回路図



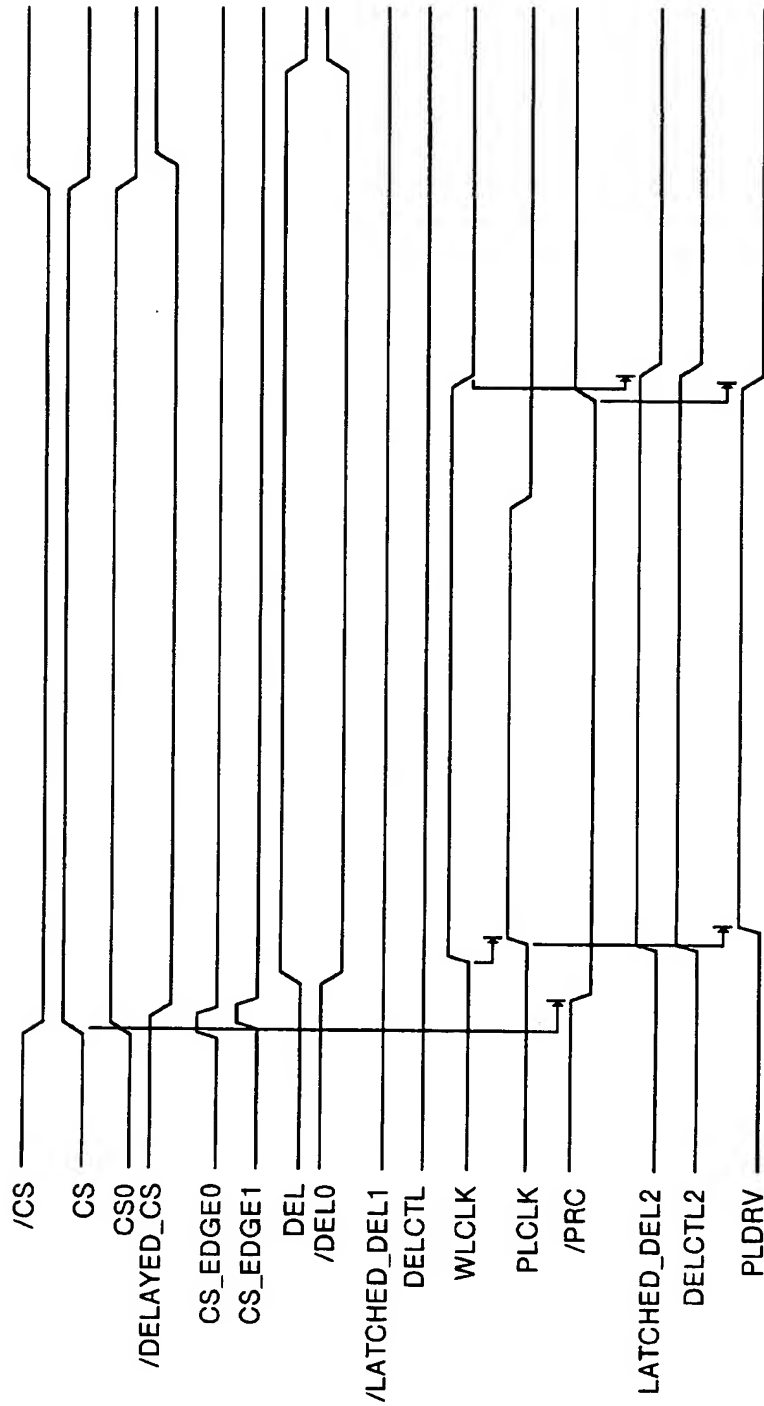
【図 9】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、
データのリストアをおこなわない場合の処理を示すフローチャート



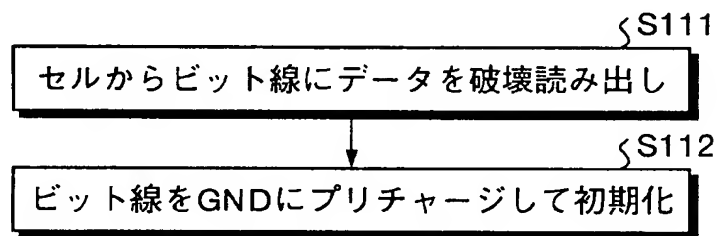
【図 10】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、データのリストアをおこなわない処理のタイミング・ダイヤグラム



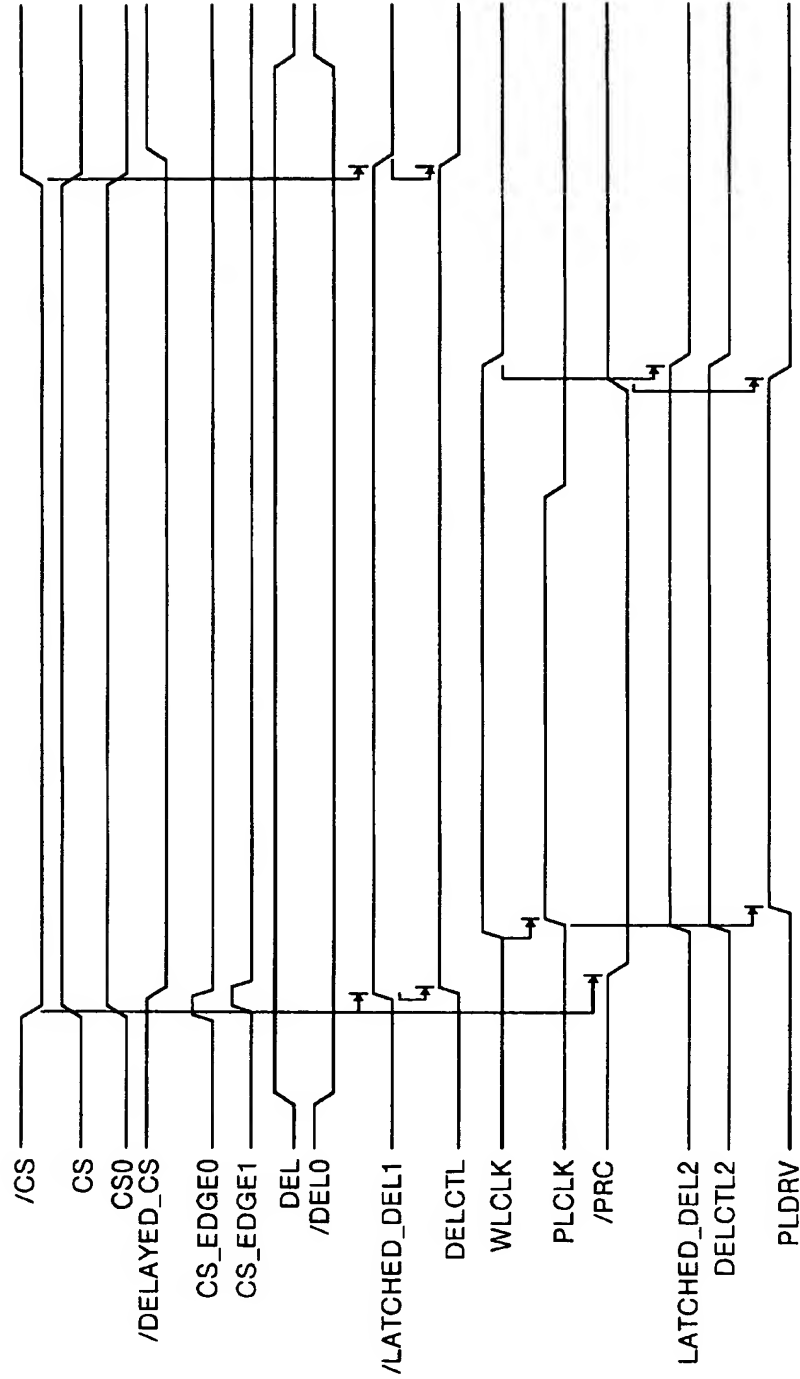
【図 1 1】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをともにおこなわない場合の処理を示すフローチャート



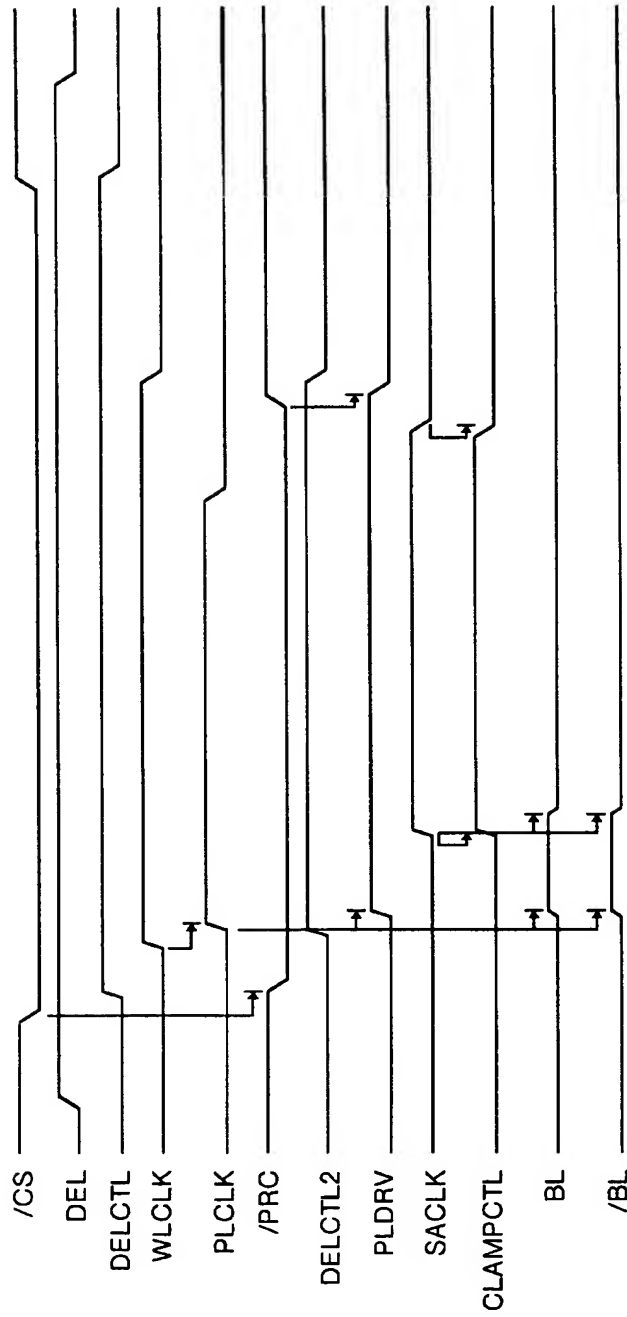
【図 1 2】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをともにおこなわない処理のタイミング・ダイヤグラム



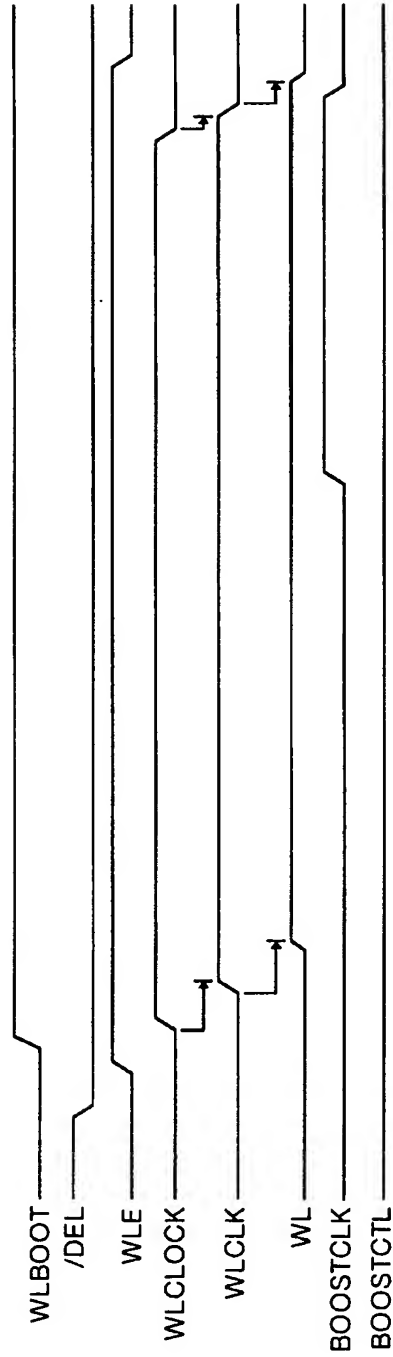
【図 1 3】

本発明にかかる半導体記憶装置において、読み出しデータの外部出力とデータのリストアをともしおこなわない処理のタイミング・ダイヤグラム



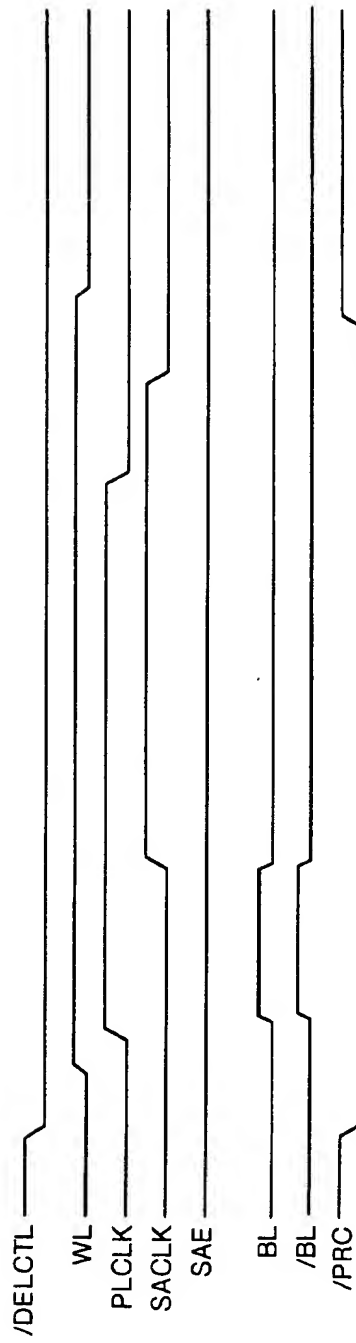
【図 1 4】

本発明にかかる半導体記憶装置において、ワード線の昇圧をおこなわない処理のタイミング・ダイアグラム



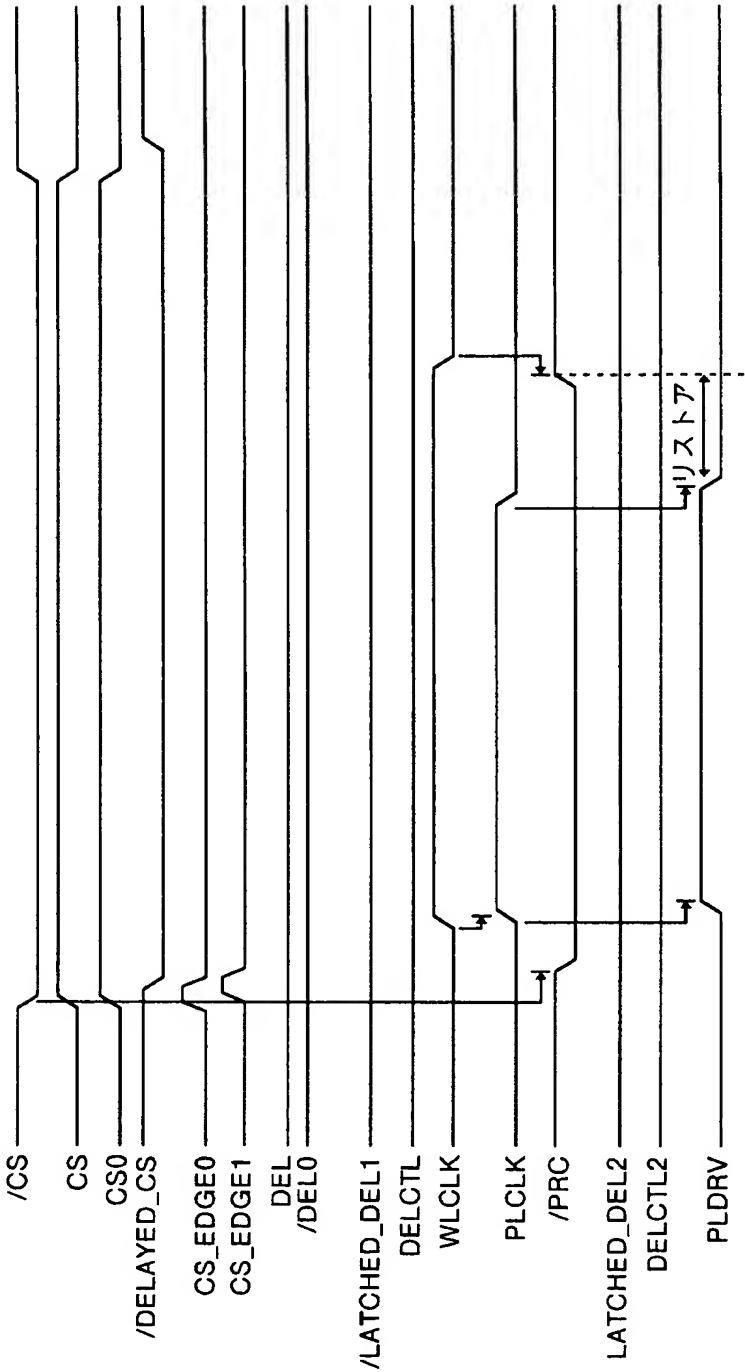
【図 1 5】

本発明にかかる半導体記憶装置において、センスアンプを動作させない処理のタイミング・ダイヤグラム



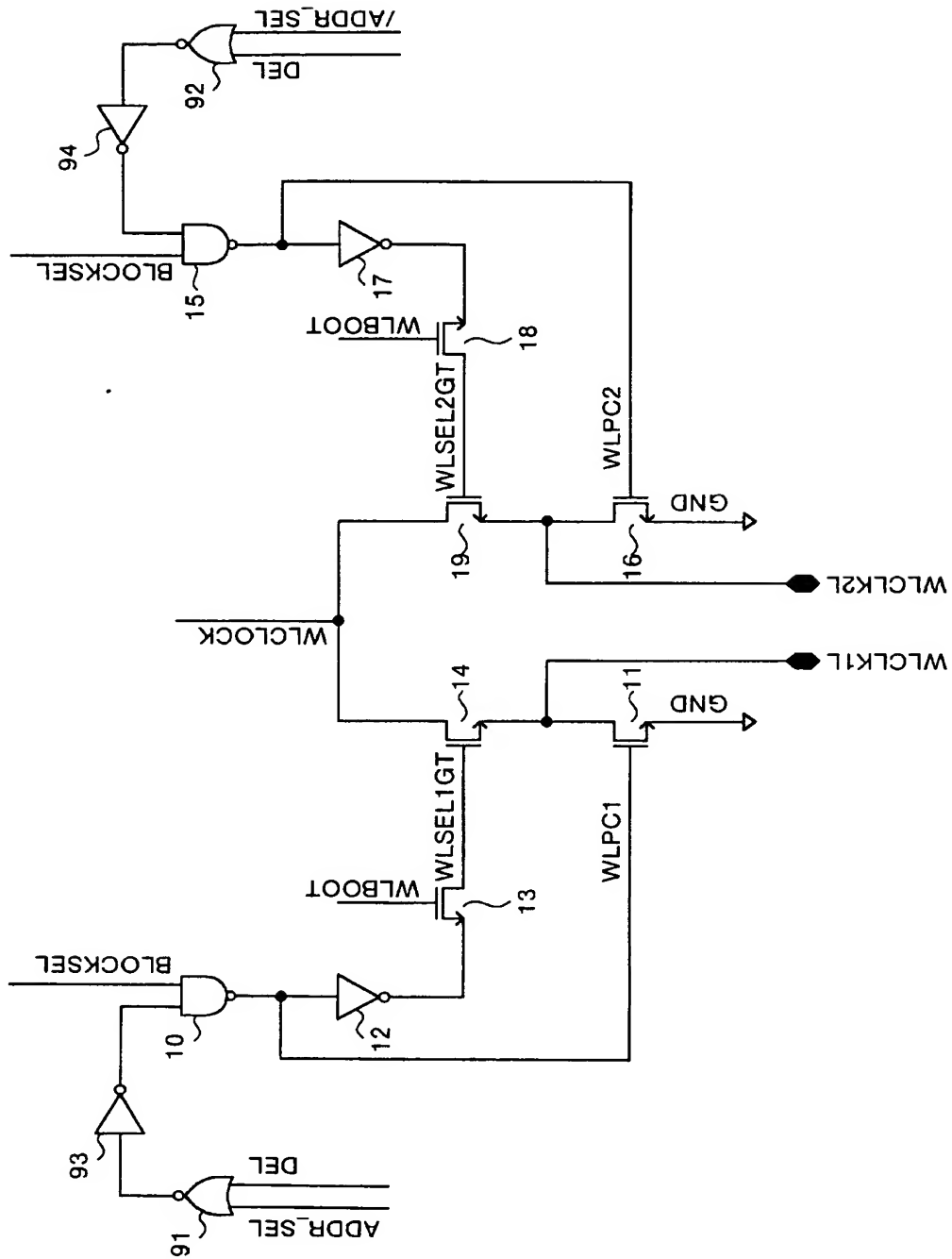
【図 1 6】

本発明にかかる半導体記憶装置において、読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイヤグラム



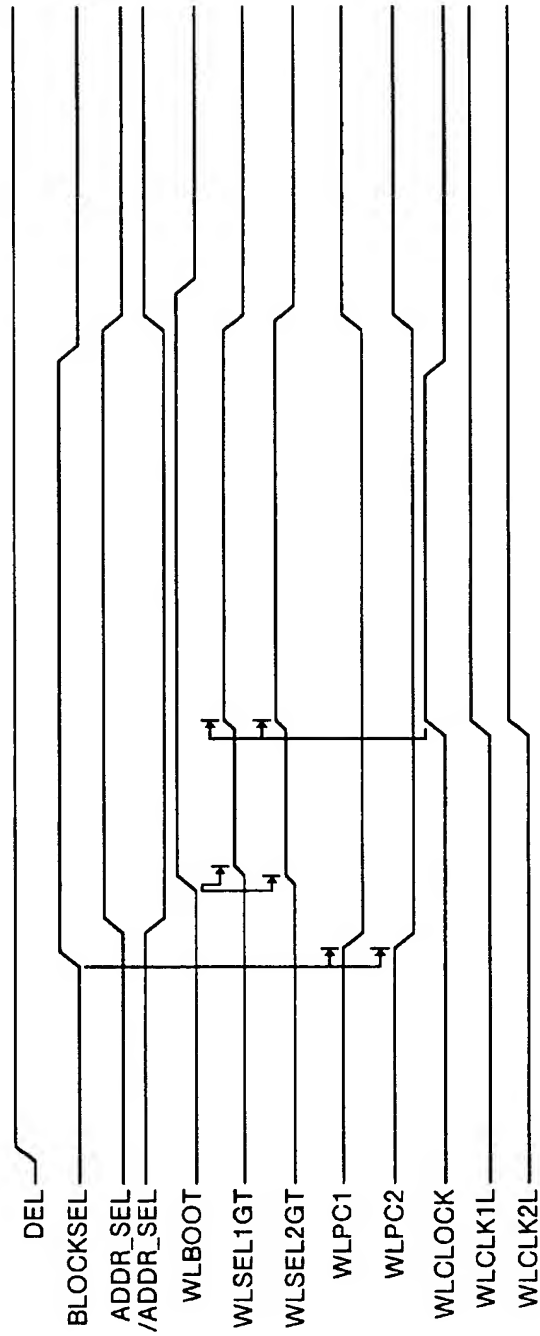
【図 1 7】

本発明にかかる半導体記憶装置をプレート線共有タイプの
FRAMに適用した場合のワード線選択を制御する回路の構成を示す回路図



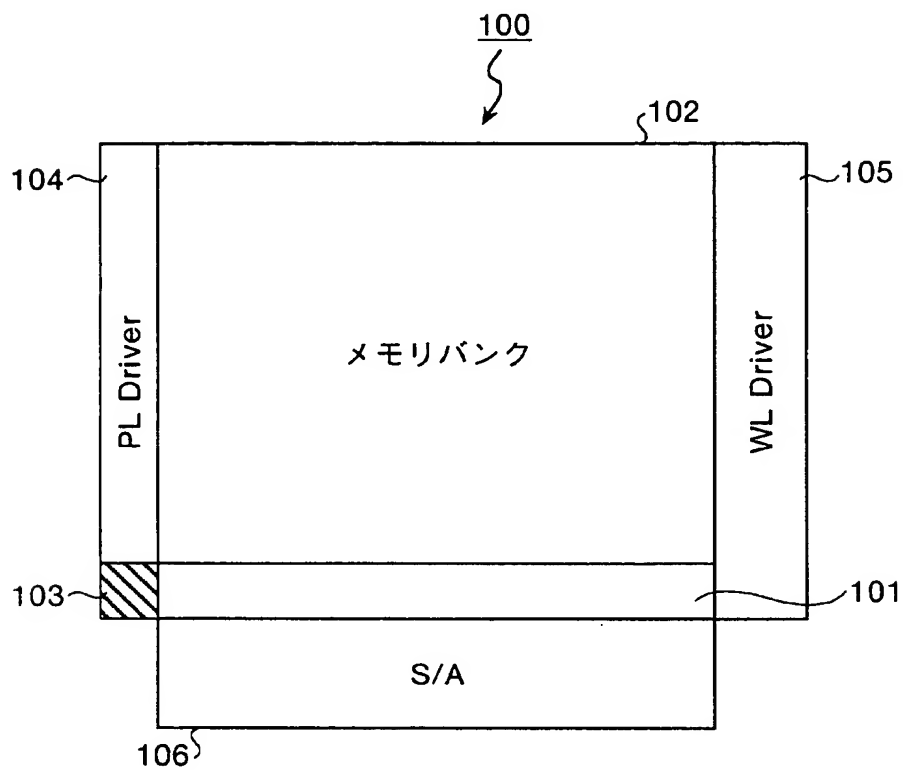
【図 1 8】

図 1 7 に示す回路の動作を示すタイミング・ダイヤグラム



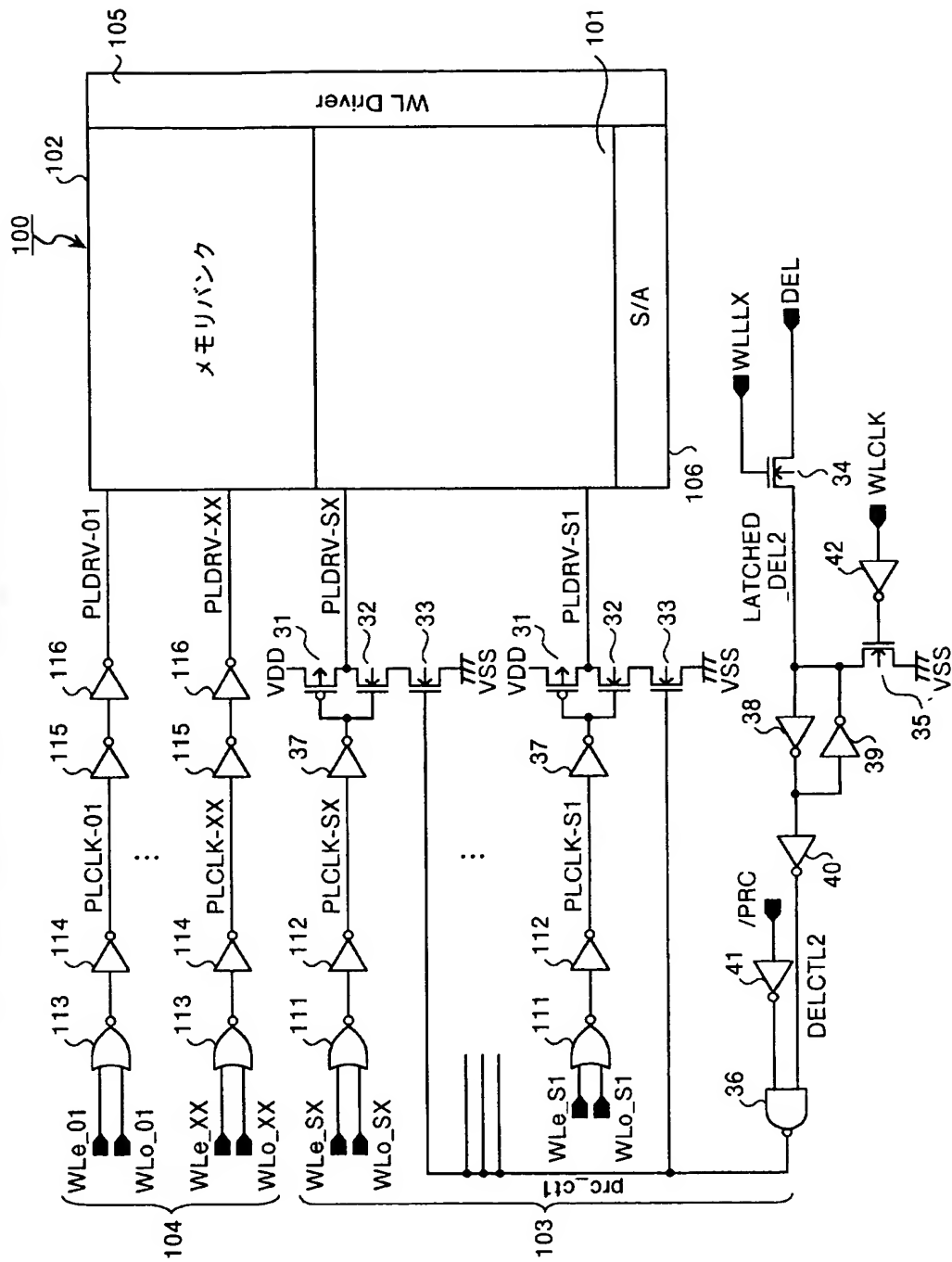
【図 1 9】

本発明を、アクセス等の有効回数を制限する機能の実現に適用した例を示す模式図



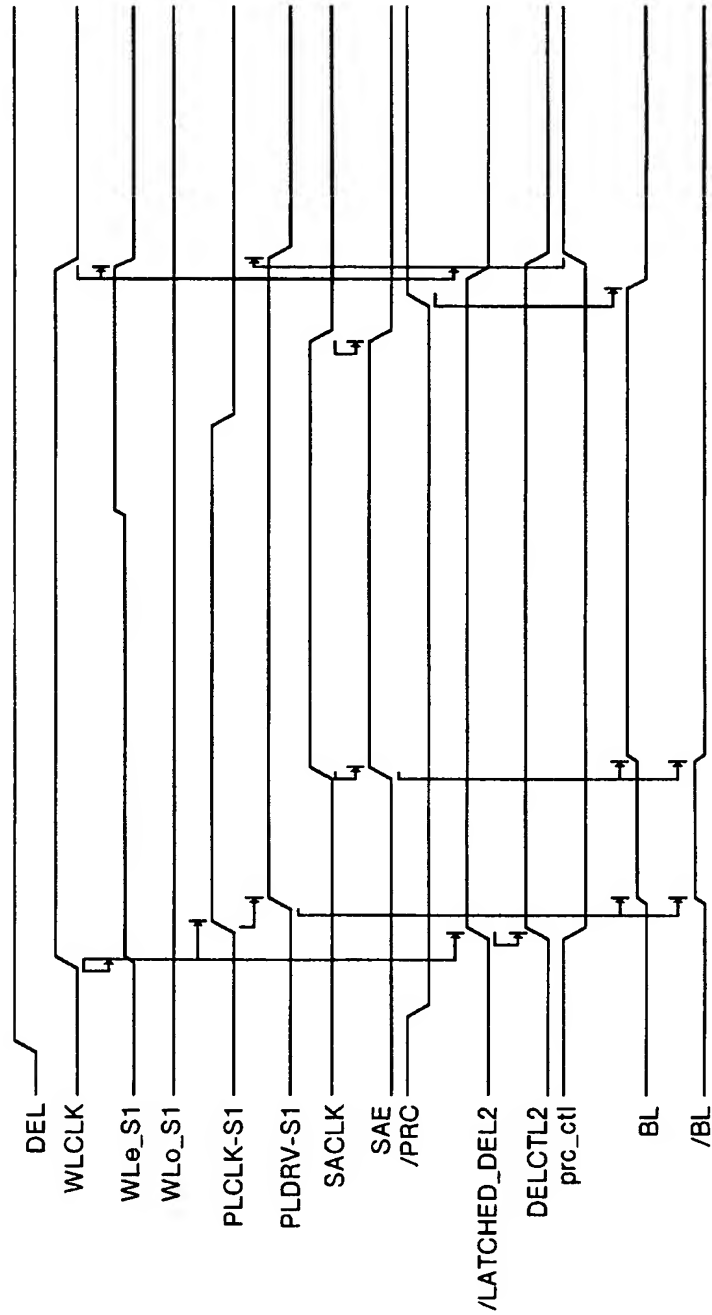
【図20】

図19に示す構成におけるプレート線駆動回路の詳細な構成を示す回路図



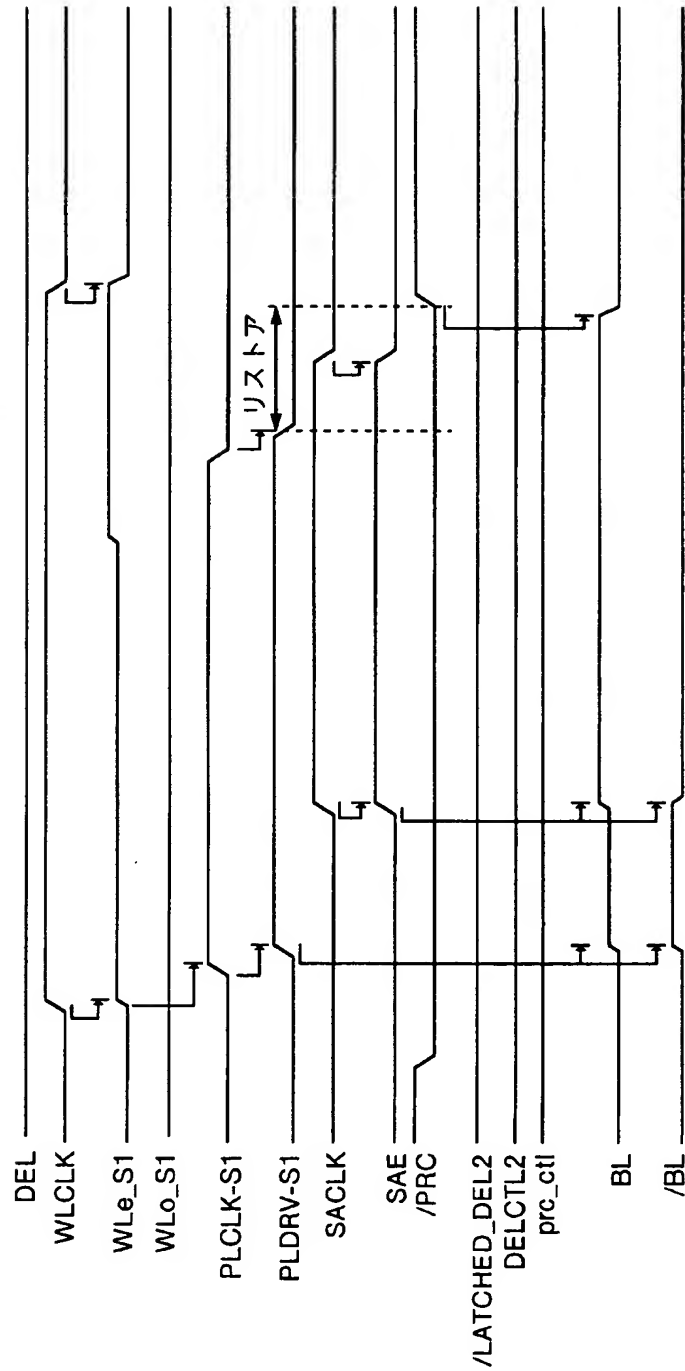
【図 2 1】

図20に示す回路において、アクセス制限データが書き込まれたブロックからの読み出しデータを外部へ出力するとともに、データのリスストアをおこなわない処理のタイミング・ダイヤグラム



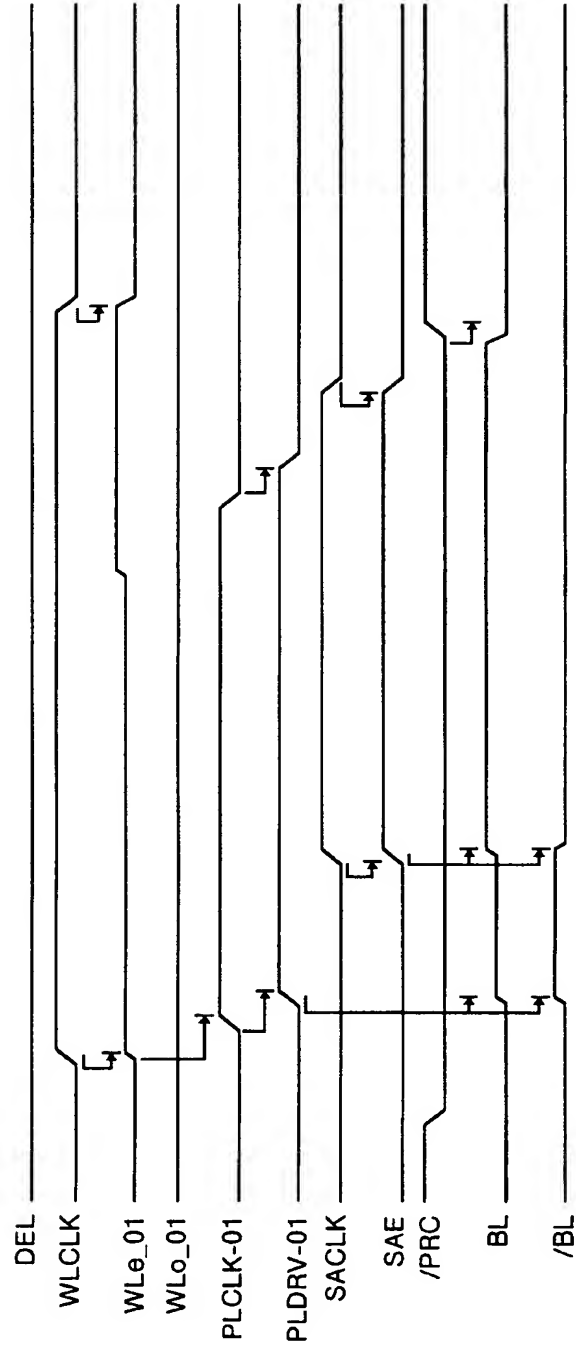
【図 2 2】

図20に示す回路において、アクセス制限データが書き込まれたブロックからの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイヤグラム



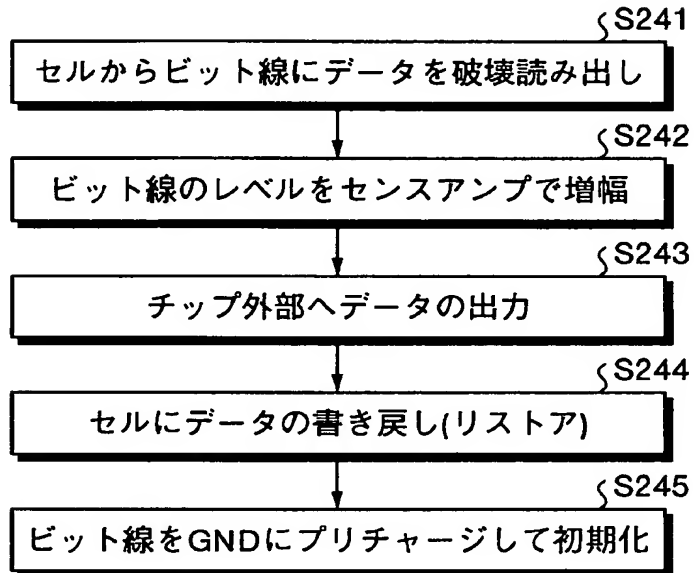
【図 2 3】

図20に示す回路において、通常のデータ領域として使用されるメモリ領域からの読み出しデータを外部へ出力するとともに、データのリストアをおこなう処理のタイミング・ダイヤグラム



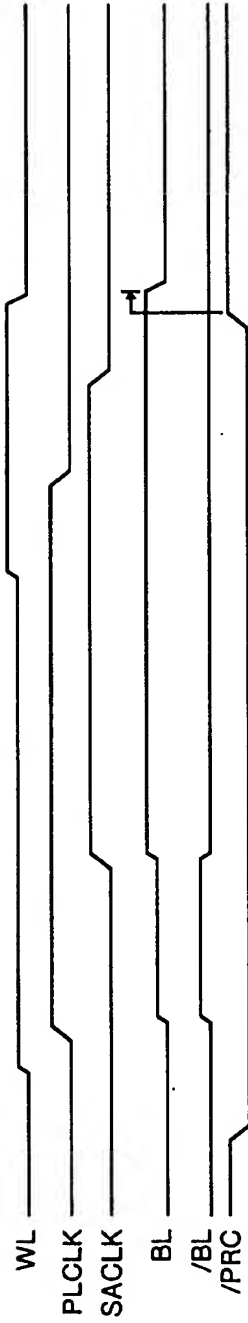
【図 2 4】

従来のFeRAMにおけるデータ読み出し処理を示すフローチャート



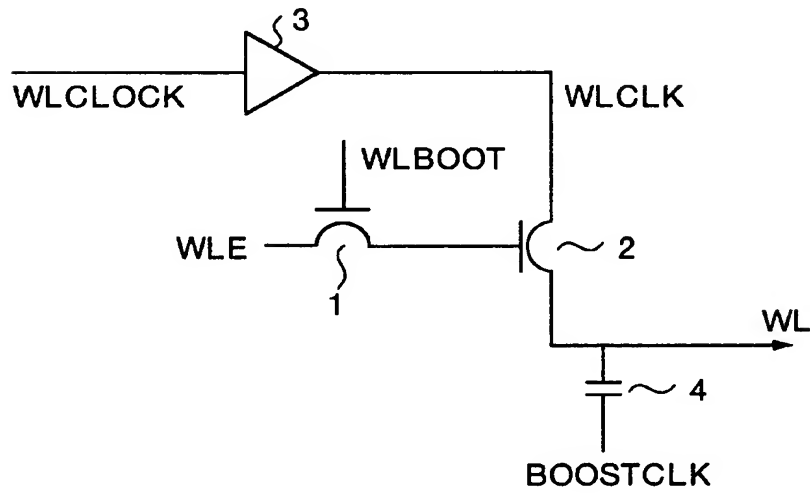
【図 2 5】

従来のFeRAMにおけるデータ読み出し処理のタイミング・ダイヤグラム



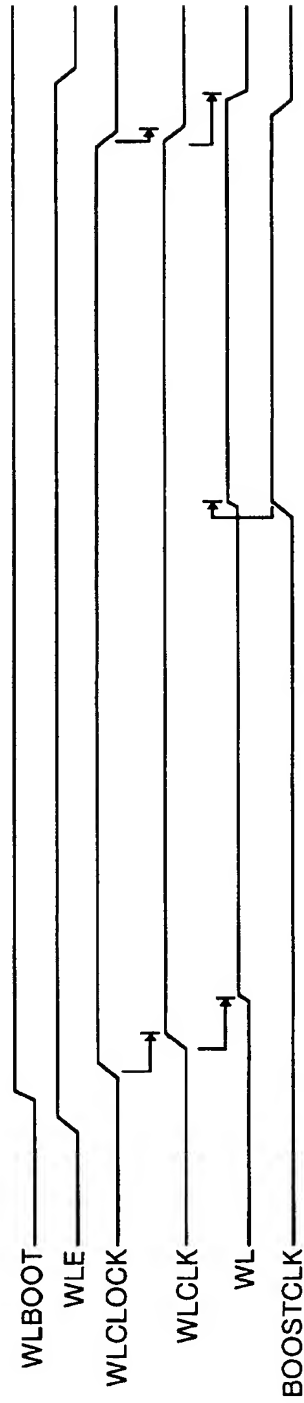
【図 2 6】

従来のFeRAMにおけるワード線を昇圧させるための
回路の構成を示す回路図



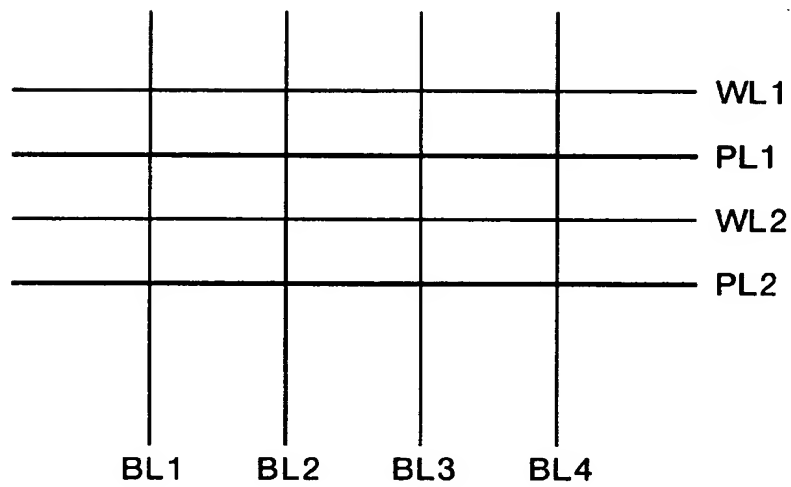
【図 2 7】

図26に示す回路の動作を示すタイミング・ダイヤグラム



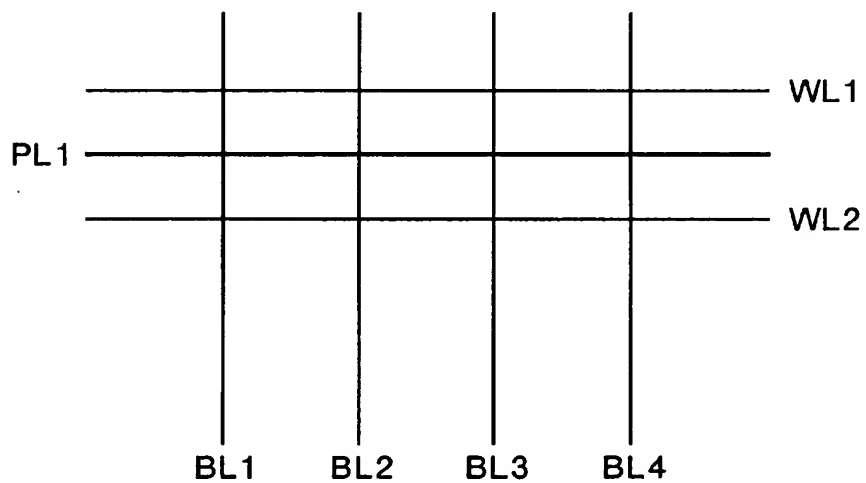
【図 2 8】

ワード線とプレート線とが1対1で対応するタイプのFeRAMを示す模式図



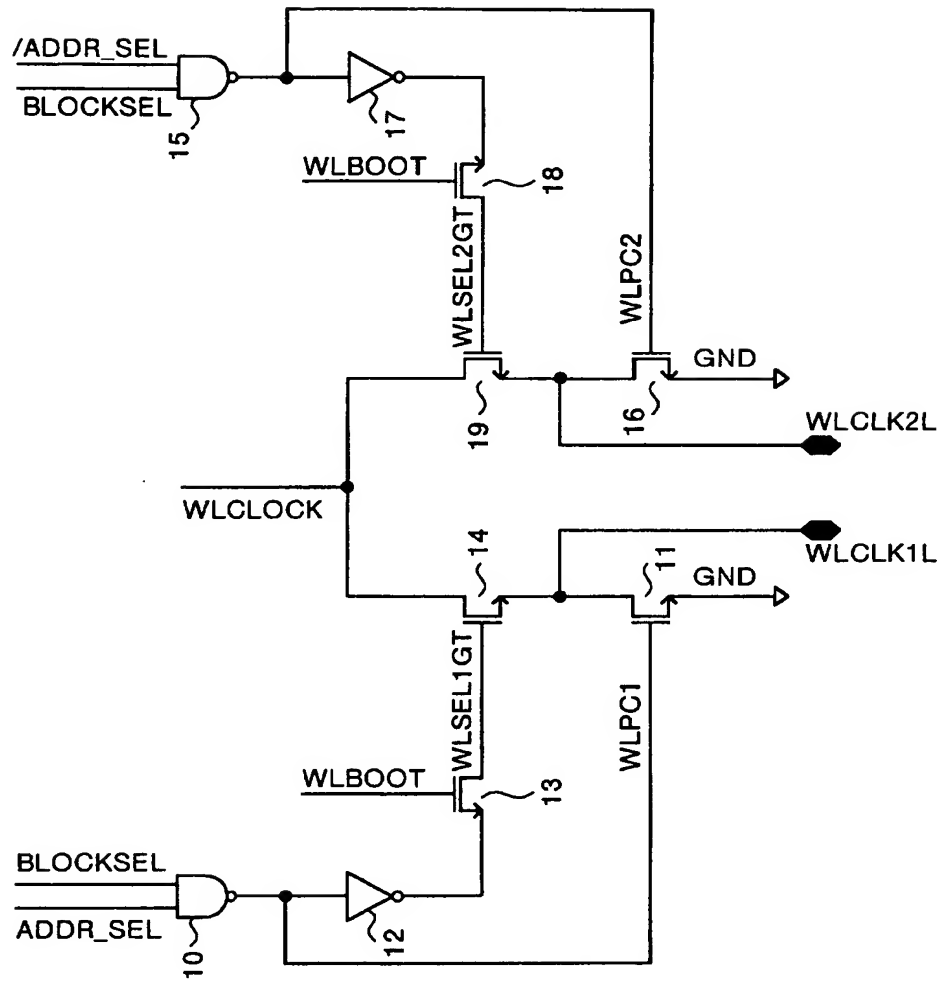
【図 2 9】

2本のワード線が1本のプレート線を共有するタイプのFeRAMを示す模式図



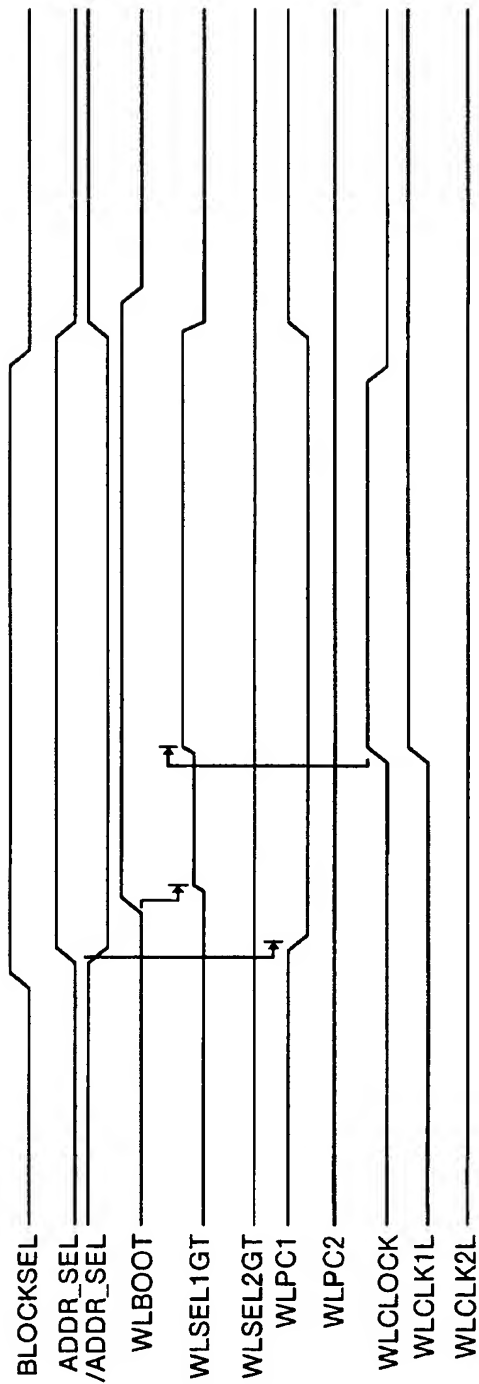
【図 30】

従来のプレート線共有タイプのFeRAMにおけるワード線選択を制御する回路の構成を示す回路図



【図 3 1】

図30に示す回路の動作を示すタイミング・ダイヤグラム



【書類名】 要約書

【要約】

【課題】 強誘電体メモリよりなる半導体記憶装置において、保存されている不要なデータを効率よく、かつ少ない消費電力で破壊すること。

【解決手段】 データ破壊信号（DEL）とチップ選択信号（/CS）との組み合わせにより、アドレスにより指定されたメモリ領域に対して読み出し動作をおこなった後、ビット線を接地電位にプリチャージしてからプレート線の電位を下げることによって、その読み出し動作によってデータが破壊された領域にデータが書き戻されるのを停止する。その際、ワード線の電位を、データの書き戻しのための電位まで昇圧せずに、VDDレベルに保つ構成としてもよい。また、ビット線を接地電位にクランプすることによって、読み出されたデータが外部へ出力されるのを停止する構成とし、センスアンプの動作を停止する構成としてもよい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社